

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2005年9月9日 (09.09.2005)

PCT

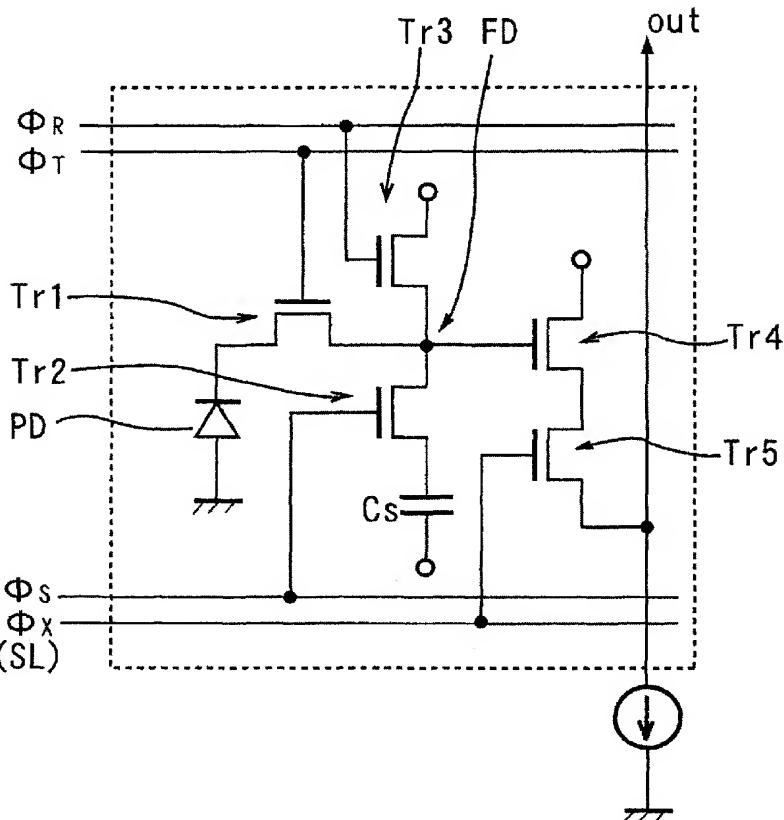
(10)国際公開番号  
WO 2005/083790 A1

- (51)国際特許分類<sup>7</sup>: H01L 27/146, H04N 5/335 (71)出願人(米国を除く全ての指定国について): 日本テキサス・インスツルメンツ株式会社 (TEXAS INSTRUMENTS JAPAN LIMITED) [JP/JP]; 〒1608366 東京都新宿区西新宿六丁目24番1号 Tokyo (JP).
- (21)国際出願番号: PCT/JP2005/003193 (71)出願人および  
(22)国際出願日: 2005年2月25日 (25.02.2005) (72)発明者: 須川成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川内元支倉35川内住宅2-102 Miyagi (JP).
- (25)国際出願の言語: 日本語 (26)国際公開の言語: 日本語
- (30)優先権データ:  
特願2004-053889 2004年2月27日 (27.02.2004) JP (74)代理人: 酒井宏明 (SAKAI, Hiroaki); 〒1000013 東京都千代田区霞が関三丁目2番6号 東京俱楽部ビルディング 酒井国際特許事務所 Tokyo (JP).  
特願2004-322767 2004年11月5日 (05.11.2004) JP

[続葉有]

(54)Title: SOLID-STATE IMAGING DEVICE, LINE SENSOR, OPTICAL SENSOR, AND METHOD FOR OPERATING SOLID-STATE IMAGING DEVICE

(54)発明の名称: 固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法



A1

WO 2005/083790 A1

介してフォトダイオード PD

(57)Abstract: A solid-state imaging device having a widened dynamic range while maintaining a high sensitivity and a high S/N ratio, a line sensor, an optical sensor, and a method for operating a solid-state imaging device adopted so as to widen the dynamic range of the solid-state imaging device while maintaining a high sensitivity and a high S/N ratio are disclosed. The solid-state imaging device is composed of an array of integrated pixels each of which comprises a photodiode (PD) for generating optical charges on receiving light, a transfer transistor (Tr1) for transferring the optical charges, and a storage capacitive element ( $C_s$ ) connected to the photodiode (PD) at least through the transfer transistor (Tr1) and serving to store the optical charges overflowing from the photodiode (PD) at least through the transfer transistor (Tr1) during storage operation.

(57)要約: 高感度高S/N比を維持したまま広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高S/N比を維持したまま広ダイナミックレンジ化するための固体撮像装置の動作方法を提供するために、光を受光して光電荷を生成するフォトダイオードPDと、光電荷を転送する転送トランジスタTr1と、少なくとも転送トランジスタTr1を

[続葉有]



- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法 技術分野

[0001] 本発明は固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法に関し、特にCMOS型あるいはCCD型の固体撮像装置、ラインセンサおよび光センサと、当該固体撮像装置の動作方法に関する。

#### 背景技術

[0002] CMOS(Complementary Metal-Oxide-Semiconductor)イメージセンサあるいはCCD(Charge Coupled Device)イメージセンサなどの画像入力イメージセンサは、その特性向上とともに、例えばデジタルカメラやカメラ付き携帯電話などの用途で需要が拡大してきている。

[0003] 上記のイメージセンサは、さらなる特性向上が望まれており、その一つがダイナミックレンジを広くすることである。

従来用いられているイメージセンサのダイナミックレンジは、例えば3~4桁(60~80dB)程度に留まっており、肉眼あるいは銀塩フィルムの5~6桁(100~120dB)には及んでいないのが現状である。

そこで、肉眼あるいは銀塩フィルムと同等の5~6桁(100~120dB)のダイナミックレンジを持つ高画質イメージセンサの開発が望まれている。このような広いダイナミックレンジを持つイメージセンサは、デジタルカメラやカメラ付き携帯電話などの他、PDA(Personal Digital Assistant)用画像入力カメラ、高度交通管理システム用カメラ、監視カメラ、FA(Factory Automation)用カメラあるいは医療用カメラなどの用途への応用が期待されている。

[0004] 上記のイメージセンサの特性を向上させる技術として、例えば、非特許文献1などに、高感度および高S/N比化するために、各画素(ピクセル)のフォトダイオードに発生するノイズと当該ノイズに光信号が加算された信号とをそれぞれ読み出し、両者の差分を取ることでノイズ成分を除去して光信号のみを取り出すオンチップノイズキャンセルと呼ばれる技術が開発されている。

しかし、この方法でもダイナミックレンジは80dB以下であり、これより広ダイナミックレンジ化することが望まれている。

[0005] 例えば、特許文献1には、図34に示すように、フォトダイオードPDに高感度低照度側の小容量C<sub>1</sub>のフローティング領域と低感度高照度側の大容量C<sub>2</sub>のフローティング領域を接続して、低照度側の出力out1と高照度側の出力out2をそれぞれ出力することで広ダイナミック化する技術が開示されている。

また、特許文献2には、図35に示すように、フローティング領域FDの容量C<sub>s</sub>を可変とし、低照度から高照度までをカバーして広ダイナミック化する技術が開示されている。

他には、短い露光時間による高照度に対応した撮像と、長い露光時間により低照度に対応した撮像の異なる露光時間で2回撮像する技術も開発されている。

[0006] また、特許文献3および非特許文献2には、図36に示すように、フォトダイオードPDと容量Cの間にトランジスタスイッチTを設け、1回目の露光期間でスイッチTをONして光電荷信号をフォトダイオードPDと容量Cの両方に蓄積し、2回目の露光期間でスイッチTをOFFして前者の蓄積電荷に加えてフォトダイオードPDで光電荷信号を蓄積することで広ダイナミックレンジ化する技術が開示されている。ここで、飽和を上回る光照射があった場合、過剰電荷はリセットトランジスタRを介して排出されることが明示されている。

[0007] また、特許文献4には、図37に示すように、フォトダイオードPDとして容量Cを従来より大きなものを採用することで高照度撮像に対応できるようにする技術が開示されている。

また、非特許文献3には、図38に示すように、フォトダイオードPDからの信号を、MOSトランジスタを組み合わせて構成されている対数変換回路により、対数変換しながら出力することで、高照度撮像に対応できるようにする技術が開示されている。

[0008] しかしながら、上記の特許文献1、2、3および非特許文献2に記載の方法あるいは異なる露光時間で2回撮像する方法では、低照度側の撮像と高照度側の撮像を異なる時刻において行わなければならないため、動画を撮像すると両照度に対応した撮像の画像にズレが発生し、両画像を整合させることができなくなってしまうという問

題がある。

[0009] また、上記の特許文献4および非特許文献3に記載の方法では、高照度側の撮像に対応するようにして広ダイナミックレンジを達成できるものの、低照度側の撮像に関しては低感度、低S/N比となってしまい、画像の品質を向上させることはできない。

[0010] 上記のように、CMOSイメージセンサなどのイメージセンサにおいて、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することが困難となっていた。

また、上記のことはイメージセンサに限ったことではなく、画素を直線状に配したラインセンサや複数の画素を持たない光センサとしても、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することは困難であった。

[0011] 特許文献1:特開2003-134396号公報

特許文献2:特開2000-165754号公報

特許文献3:特開2002-77737号公報

特許文献4:特開平5-90556号公報

非特許文献1:S. Inoue et al., IEEE Workshop on CCDs and Advanced Image Sensors 2001, page 16-19

非特許文献2:Yoshinori Muramatsu et al., IEEE Journal of Solid-state Circuits, vol.38, No.1, January 2003

非特許文献3:映像情報メディア学会誌、57(2003)

## 発明の開示

### 発明が解決しようとする課題

[0012] 本発明は上記の状況に鑑みてなされたものであり、本発明の目的は、高感度高S/N比を維持したままで広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高S/N比を維持したままで広ダイナミックレンジ化するための固体撮像装置の動作方法を提供することである。

### 課題を解決するための手段

[0013] 上記の目的を達成するため、本発明の固体撮像装置は、光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送トランジスタと、少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、蓄積動作時に前

記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素がアレイ状に複数個集積されてなる。

[0014] 上記の本発明の固体撮像装置は、光を受光して光電荷を生成するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がアレイ状に集積されている。

[0015] 上記の本発明の固体撮像装置は、好適には、前記転送トランジスタと前記蓄積容量素子の間に、前記転送トランジスタを通じて前記光電荷が転送されるフローティング領域と、前記フローティング領域と前記蓄積容量素子のポテンシャルを結合または分割する蓄積トランジスタとをさらに有する。

さらに好適には、前記フローティング領域に接続して形成され、前記フローティング領域内の光電荷を排出するためのリセットトランジスタと、前記フローティング領域内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

[0016] またさらに好適には、前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を含む。

あるいはまたさらに好適には、前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積する対数変換回路を含む。

[0017] 上記の本発明の固体撮像装置は、好適には、前記蓄積容量素子と前記蓄積トランジスタの接続部に接続して形成され、前記蓄積容量素子および前記フローティング領域内の光電荷を排出するためのリセットトランジスタと、前記フローティング領域内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

[0018] 上記の本発明の固体撮像装置は、好適には、前記転送トランジスタが、前記転送トランジスタを構成する基板の表面または表面近傍から所定の深さまで形成された前記転送トランジスタのチャネルと同じ導電型の半導体層を有する埋め込みチャネル型である。

あるいは好適には、前記転送トランジスタが、前記転送トランジスタを構成する基板の所定の深さにおいて形成され、前記転送トランジスタのチャネルと同じ導電型であ

り、前記転送トランジスタのパンチスルーボードを低減する半導体層を有する。

[0019] 上記の本発明の固体撮像装置は、好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレンチの内壁に形成された下部電極となる半導体領域と、前記トレンチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレンチを埋め込んで形成された上部電極とを有する。

あるいは好適には、第1導電型半導体領域と前記第1導電型半導体領域に接合する第2導電型半導体領域とが前記固体撮像装置を構成する半導体基板の内部に埋め込まれて、前記蓄積容量素子が構成されている。

あるいは好適には、前記固体撮像装置を構成する基板が半導体基板上に絶縁膜を介して半導体層が形成されているSOI(Semiconductor on Insulator)基板であり、前記絶縁膜を介して対向する前記半導体基板と前記半導体層との間の絶縁膜容量を用いて前記蓄積容量素子が構成されている。

[0020] 上記の本発明の固体撮像装置は、好適には、前記フローティング領域または前記フローティング領域および前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティング領域または前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する。

またさらに好適には、前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する。

[0021] 上記の本発明の固体撮像装置は、好適には、前記フローティング領域に転送された光電荷から得られた電圧信号と、前記フローティング領域の前記転送前のレベル

の電圧信号との差分を取るノイズキャンセル手段をさらに有する。

さらに好適には、前記フローティング領域および前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する。

またさらに好適には、前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する。

[0022] 上記の本発明の固体撮像装置は、好適には、前記フォトダイオード内の光電荷を転送する第1電荷結合転送路が前記フォトダイオードに接続して形成され、前記蓄積容量素子が隣接する画素間で接続されて、前記第1電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第2電荷結合転送路を構成する。

あるいは、好適には、前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、前記蓄積容量素子内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

[0023] 上記の本発明の固体撮像装置は、好適には、前記画素を構成するトランジスタがnチャネルMOSトランジスタである。あるいは好適には、前記画素を構成するトランジスタがpチャネルMOSトランジスタである。

[0024] また、上記の目的を達成するため、本発明のラインセンサは、光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素が直線状に複数個集積されてなる。

[0025] 上記の本発明のラインセンサは、光を受光して光電荷を生成するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がライン状に集積されている。

[0026] また、上記の目的を達成するため、本発明の光センサは、光を受光して光電荷を生

成するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する。

- [0027] 上記の本発明の光センサは、光を受光して光電荷を生成するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている。
- [0028] 上記の目的を達成するため、本発明の固体撮像装置の動作方法は、光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティング領域と、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティング領域とのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティング領域および前記蓄積容量素子内の光電荷を排出する工程と、前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程と、前記蓄積トランジスタをオフとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを分割し、前記フローティング領域内の光電荷を排出する工程と、前記フローティング領域のリセットレベルの電圧信号を読み出す工程と、前記転送トランジスタをオンとして前記飽和前電荷を前記フローティング領域に転送し、前記飽和前電荷の電圧信号を読み出す工程と、前記蓄積トランジスタをオンとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程とを有する。

[0029] 上記の本発明の固体撮像装置の動作方法は、電荷蓄積前において、転送トランジスタをオフとし、蓄積トランジスタをオンとして、フローティング領域および蓄積容量素子内の光電荷を排出し、フローティング領域と蓄積容量素子のリセットレベルの電圧信号を読み出す。

次に、フォトダイオードで発生する光電荷のうち飽和前電荷をフォトダイオードに蓄積し、フォトダイオードから溢れる過飽和電荷をフローティング領域および蓄積容量素子において蓄積する。

次に、蓄積トランジスタをオフとして、フローティング領域と蓄積容量素子のポテンシャルを分割し、フローティング領域内の光電荷を排出し、フローティング領域のリセットレベルの電圧信号を読み出す。

次に、転送トランジスタをオンとして飽和前電荷をフローティング領域に転送し、飽和前電荷の電圧信号を読み出す。

次に、蓄積トランジスタをオンとして、フローティング領域と蓄積容量素子のポテンシャルを結合し、飽和前電荷と過飽和信号を混合し、飽和前電荷と過飽和信号の和の電圧信号を読み出す。

[0030] 上記の本発明の固体撮像装置の動作方法は、好適には、前記飽和前電荷の電圧信号と前記フローティング領域のリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程とをさらに有する。

[0031] 上記の本発明の固体撮像装置の動作方法は、好適には、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子にお

いて蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する。

[0032] 上記の目的を達成するため、本発明の固体撮像装置の動作方法は、光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティング領域と、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティング領域とのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティング領域および前記蓄積容量素子内の光電荷を排出する工程と、前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程と、前記蓄積トランジスタをオフとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを分割し、前記フローティング領域の前記飽和前電荷の転送前レベルの電圧信号を読み出す工程と、前記転送トランジスタをオンとして前記飽和前電荷を前記フローティング領域に転送し、前記飽和前電荷の転送後レベルの電圧信号を読み出す工程と、前記蓄積トランジスタをオンとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程とを有する。

[0033] 上記の本発明の固体撮像装置の動作方法は、電荷蓄積前において、転送トランジスタをオフとし、蓄積トランジスタをオンとして、フローティング領域および蓄積容量素子内の光電荷を排出し、フローティング領域と蓄積容量素子のリセットレベルの電圧信号を読み出す。

次に、フォトダイオードで発生する光電荷のうち飽和前電荷をフォトダイオードに蓄

積し、フォトダイオードから溢れる過飽和電荷をフローティング領域および蓄積容量素子において蓄積する。

次に、蓄積トランジスタをオフとして、フローティング領域と蓄積容量素子のポテンシャルを分割し、飽和前電荷の転送前レベルの電圧信号を読み出す。

次に、転送トランジスタをオンとして飽和前電荷をフローティング領域に転送し、飽和前電荷の転送後レベルの電圧信号を読み出す。

次に、蓄積トランジスタをオンとして、フローティング領域と蓄積容量素子のポテンシャルを結合し、飽和前電荷と過飽和信号を混合し、飽和前電荷と過飽和信号の和の電圧信号を読み出す。

[0034] 上記の本発明の固体撮像装置の動作方法は、好適には、前記飽和前電荷の転送後レベルの電圧信号と前記飽和前信号の転送前レベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程とをさらに有する。

[0035] 上記の本発明の固体撮像装置の動作方法は、好適には、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する。

## 発明の効果

[0036] 本発明の固体撮像装置によれば、光を受光して光電荷を生成するフォトダイオードによる低照度撮像において高感度高S/N比を維持し、さらに蓄積容量素子によりフ

オトダイオードから溢れる光電荷を蓄積することで高照度撮像における撮像を行って広ダイナミックレンジ化することができる。

- [0037] 本発明のラインセンサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。
- [0038] 本発明の光センサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。
- [0039] 本発明の固体撮像装置の動作方法によれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

#### 図面の簡単な説明

- [0040] [図1]図1は、本発明の第1実施形態に係るCMOSイメージセンサの1画素分の等価回路図である。

[図2-1]図2-1は、本発明の第1実施形態に係るCMOSイメージセンサの各画素の一部に相当する模式的断面図である。

[図2-2]図2-2は、図2-1の領域に相当する模式的なポテンシャル図である。

[図3-1]図3-1は、本発明の第1実施形態に係るCMOSイメージセンサの駆動ライン( $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ )に印加する電圧のタイミングチャートである。

[図3-2]図3-2は、飽和以下の光量のときの図3-1に対応する電位( $V_{PD}$ 、 $V_{FD}$ 、 $V_{CS}$ )の変化を示すグラフである。

[図3-3]図3-3は、飽和以上の光量のときの図3-1に対応する電位( $V_{PD}$ 、 $V_{FD}$ 、 $V_{CS}$ )の変化を示すグラフである。

[図4-1]図4-1は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図4-2]図4-2は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図4-3]図4-3は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図4-4]図4-4は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図5-1]図5-1は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図5-2]図5-2は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図5-3]図5-3は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図5-4]図5-4は、図3-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図6]図6は、本発明の第1実施形態に係るCMOSイメージセンサの全体の回路構成を示す等価回路図である。

[図7]図7は、飽和前電荷信号 $+C_{FD}$ ノイズ、 $C_{FD}$ ノイズ、変調された過飽和電荷信号 $+C_{FD} + C_s$ ノイズおよび $C_{FD} + C_s$ ノイズの4つの信号の処理を行う回路図である。

[図8-1]図8-1は、容量 $C_{FD}$ を用いたときに得られる電荷数を相対光量に対してプロットした図である。

[図8-2]図8-2は、容量 $C_{FD} + C_s$ を用いたときに得られる電荷数を相対光量に対してプロットした図である。

[図8-3]図8-3は、図8-1と図8-2の電荷数を電圧に変換して相対光量に対してプロットして重ねて示したグラフである。

[図9-1]図9-1は、本発明の第2実施形態のCMOSイメージセンサの1例の1画素分の等価回路図である。

[図9-2]図9-2は、本発明の第2実施形態のCMOSイメージセンサの他の例の1画素分の等価回路図である。

[図10-1]図10-1は、本発明の第3実施形態のCCDイメージセンサの1例の1画素分の等価回路図である。

[図10-2]図10-2は、本発明の第3実施形態のCCDイメージセンサの他の例の1画素分の等価回路図である。

[図11-1]図11-1は、本発明の第4実施形態のCMOSイメージセンサの1例の1画素分の等価回路図である。

[図11-2]図11-2は、本発明の第4実施形態のCMOSイメージセンサの他の例の1画素分の等価回路図である。

[図12]図12は、本発明の第5実施形態に係るCMOSイメージセンサの1画素分の等価回路図である。

[図13]図13は、本発明の第5実施形態に係るCMOSイメージセンサの要部の模式的なポテンシャル図である。

[図14-1]図14-1は、本発明の第5実施形態に係るCMOSイメージセンサの駆動ライン( $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ )に印加する電圧のタイミングチャートである。

[図14-2]図14-2は、本発明の第5実施形態に係るCMOSイメージセンサの駆動ライン( $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ )に印加する電圧のタイミングチャートである。

[図15-1]図15-1は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図15-2]図15-2は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図15-3]図15-3は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図16-1]図16-1は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図16-2]図16-2は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図16-3]図16-3は、図14-1のタイミングチャートのあるタイミングにおけるポテンシャル図に相当する。

[図17]図17は、本発明の第5実施形態に係るCMOSイメージセンサにおいてプレーナ型蓄積容量素子を採用した場合の約1画素分のレイアウトの一例を示す図である。

[図18-1]図18-1は、本発明の第6実施形態に係るCMOSセンサのフローティング領域部分を詳細に示す断面図である。

[図18-2]図18-2は、図18-1に示すCMOSセンサの製造工程を示す断面図である

。

[図18-3]図18-3は、図18-1に示すCMOSセンサの製造工程を示す断面図である

。

[図19-1]図19-1は、本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

[図19-2]図19-2は、本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

[図20-1]図20-1は、本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

[図20-2]図20-2は、本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

[図21-1]図21-1は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図21-2]図21-2は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図22-1]図22-1は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図22-2]図22-2は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図23-1]図23-1は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図23-2]図23-2は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図24]図24は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図25-1]図25-1は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図25-2]図25-2は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量

素子の変形例の断面図である。

[図26-1]図26-1は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図26-2]図26-2は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図27]図27は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図28]図28は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図29]図29は、本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

[図30]図30は、実施例2においてトレンチ型蓄積容量素子を採用した場合の画素の概略平面図である。

[図31]図31は、実施例2において想定したトレンチ型蓄積容量素子の大きさを説明する模式図である。

[図32]図32は、実施例3においてプレーナ型蓄積容量素子を採用した場合の画素のレイアウト図である。

[図33-1]図33-1は、実施例4においてフォトダイオードが飽和する前の出力(V)を光量(lux)に対してプロットした図である。

[図33-2]図33-2は、実施例4においてフォトダイオードの飽和した後の出力(V)を光量(lux)に対してプロットした図である。

[図34]図34は、第1従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

[図35]図35は、第2従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

[図36]図36は、第3従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

[図37]図37は、第4従来例に係るCMOSイメージセンサの1画素分の等価回路図で

ある。

[図38]図38は、第5従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

### 符号の説明

- [0041] 10 n型半導体基板
- 11 p型ウェル
- 12, 12a p<sup>+</sup>型分離領域
- 14, 17, 19 p<sup>+</sup>型半導体領域
- 13, 50, 51, 52 n型半導体領域
- 15, 16, 16a、16b, 18 n<sup>+</sup>型半導体領域
- 15a 低濃度不純物領域
- 15b 高濃度不純物領域
- 20, 21, 22 素子分離絶縁膜
- 20a 素子分離絶縁膜の端部
- 23, 24 ゲート絶縁膜
- 25, 25a, 25' 容量絶縁膜
- 30, 31 ゲート電極
- 30a サイドウォールスペーサ
- 32、38, 38a, 40 上部電極
- 33, 34, 35, 36, 39 配線
- 37, 37a 下部電極
- 41 TiSi層(Ti層)
- 42 TiN層
- 43 タングステンプラグ
- 44 上層配線
- 60 p型半導体基板
- 61 p型エピタキシャル層
- 61a 第1p型エピタキシャル層

61b 第2p型エピタキシャル層

62 n<sup>+</sup>型半導体領域

63 p<sup>+</sup>型分離領域

64 p型半導体層

65 n<sup>+</sup>型半導体領域

66 低濃度半導体層

ADC1～3 A/Dコンバータ

AP アンプ

C<sub>1</sub> 小容量

C<sub>2</sub> 大容量

C<sub>FD</sub>, C<sub>PD</sub>, C 容量

C<sub>s</sub> 蓄積容量素子

Cap 蓄積容量素子

CCD1 第1電荷結合転送路

CCD2 第2電荷結合転送路

CH チップ

CP コンパレータ

CT<sub>a</sub>, CT<sub>b</sub> 回路

DC1, DC2 差動アンプ

DP1, 2 導電性不純物

FD フローティング領域

FM フレームメモリ

GND グラウンド

LT 光

N<sub>1</sub> C<sub>FD</sub> のリセットレベルの信号(ノイズ)

N<sub>2</sub> C<sub>FD</sub> + C<sub>s</sub> のリセットレベルの信号(ノイズ)

Noise ノイズ

out 出力(ライン)

out1, out2 出力  
PA オーバーフロー・パス  
PC ピクセル回路  
PD フォトダイオード  
Pixel 画素  
PR レジスト膜  
 $Q_A$  過飽和電荷  
 $Q_{A1}, Q_{A2}$  過飽和電荷の一部  
 $Q_B$  飽和前電荷  
R リセットトランジスタ  
 $S_1$  飽和前電荷信号  
 $S_1'$  変調された飽和前電荷信号  
 $S_2$  過飽和電荷信号  
 $S_2'$  変調された過飽和電荷信号  
SE セレクタ  
SL 選択ライン  
 $SR^H$  列シフトレジスタ  
 $SR^V$  行シフトレジスタ  
T スイッチ  
 $T_1 \sim T_4$  時刻  
TC トレンチ  
Tr1 転送トランジスタ  
Tr2 蓄積トランジスタ  
Tr3 リセットトランジスタ  
Tr4 増幅トランジスタ  
Tr5 選択トランジスタ  
Tr6～Tr10 トランジスタ  
 $V_{PD}, V_{FD}, V_{CS}$  電位

## VDD 電源電圧

$\phi_T$ ,  $\phi_S$ ,  $\phi_R$ ,  $\phi_X$ ,  $\phi_{S1+N1}$ ,  $\phi_{N1}$ ,  $\phi_{S1'+S2'+N2}$ ,  $\phi_{N2}$ ,  $\phi_{V1}$ ,  $\phi_{V2}$  駆動ライン  
発明を実施するための最良の形態

[0042] 以下に、本発明の固体撮像装置の実施の形態について、図面を参照して説明する。

[0043] 第1実施形態

本実施形態に係る固体撮像装置はCMOSイメージセンサであり、図1は1画素(ピクセル)分の等価回路図である。

各画素は、光を受光して光電荷を生成するフォトダイオードPD、フォトダイオードPDからの光電荷を転送する転送トランジスタTr1、転送トランジスタTr1を通じて光電荷が転送されるフローティング領域FD、蓄積動作時に前記フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子 $C_s$ 、フローティング領域FDと蓄積容量素子 $C_s$ のポテンシャルを結合または分割する蓄積トランジスタTr2、フローティング領域FDに接続して形成され、フローティング領域FD内の光電荷を排出するためのリセットトランジスタTr3、フローティング領域FD内の光電荷を電圧信号に増幅変換する増幅トランジスタTr4、および、増幅トランジスタに接続して形成され、画素を選択するための選択トランジスタTr5から構成されており、いわゆる5トランジスタ型のCMOSイメージセンサである。例えば、上記の5つのトランジスタはいずれもnチャネルMOSトランジスタからなる。

[0044] 本実施形態に係るCMOSイメージセンサは、上記の構成の画素がアレイ状に複数個集積されており、各画素において、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3のゲート電極に、 $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ の各駆動ラインが接続され、また、選択トランジスタTr5のゲート電極には行シフトレジスタから駆動される画素選択ラインSL( $\phi_X$ )が接続され、さらに、選択トランジスタTr5の出力側ソース・ドレインに出力ラインoutが接続され、列シフトレジスタにより制御されて出力される。

選択トランジスタTr5、駆動ライン $\phi_X$ については、画素の選択、非選択動作ができるように、フローティング領域FDの電圧を適宜な値に固定できればよいから、それらを省略することも可能である。

[0045] 図2-1は、本実施形態に係るCMOSイメージセンサの各画素の一部(フォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2および蓄積容量素子C<sub>s</sub>)に相当する模式的断面図である。

例えば、n型シリコン半導体基板(n-sub)10にp型ウェル(p-well)11が形成されており、各画素および蓄積容量素子C<sub>s</sub>領域を区分するLOCOS法などによる素子分離絶縁膜(20, 21, 22)が形成され、さらに画素を分離する素子分離絶縁膜20の下方に相当するp型ウェル11中には、p<sup>+</sup>型分離領域12が形成されている。

p型ウェル11中にn型半導体領域13が形成され、その表層にp<sup>+</sup>型半導体領域14が形成され、このpn接合により電荷転送埋め込み型のフォトダイオードPDが構成されている。pn接合に適当なバイアスを印加して発生させた空乏層中に光LTが入射すると、光電効果により光電荷が生じる。

[0046] n型半導体領域13の端部においてp<sup>+</sup>型半導体領域14よりみ出して形成された領域があり、この領域から所定の距離を離間してp型ウェル11の表層にフローティング領域FDとなるn<sup>+</sup>型半導体領域15が形成され、さらにこの領域から所定の距離を離間してp型ウェル11の表層にn<sup>+</sup>型半導体領域16が形成されている。

ここで、n型半導体領域13とn<sup>+</sup>型半導体領域15に係る領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜23を介してポリシリコンなどからなるゲート電極30が形成され、n型半導体領域13とn<sup>+</sup>型半導体領域15をソース・ドレインとし、p型ウェル11の表層にチャネル形成領域を有する転送トランジスタTr1が構成されている。

また、n<sup>+</sup>型半導体領域15とn<sup>+</sup>型半導体領域16に係る領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜24を介してポリシリコンなどからなるゲート電極31が形成され、n<sup>+</sup>型半導体領域15とn<sup>+</sup>型半導体領域16をソース・ドレインとし、p型ウェル11の表層にチャネル形成領域を有する蓄積トランジスタTr2が構成されている。

また、素子分離絶縁膜(21, 22)で区分された領域において、p型ウェル11の表層に下部電極となるp<sup>+</sup>型半導体領域17が形成されており、この上層に酸化シリコンなどからなる容量絶縁膜25を介してポリシリコンなどからなる上部電極32が形成されてお

り、これらから蓄積容量素子C<sub>s</sub>が構成されている。

[0047] 転送トランジスタTr1、蓄積トランジスタTr2および蓄積容量素子C<sub>s</sub>を被覆して、酸化シリコンなどからなる絶縁膜が形成されており、n<sup>+</sup>型半導体領域15、n<sup>+</sup>型半導体領域16および上部電極32に達する開口部が形成され、n<sup>+</sup>型半導体領域15に接続する配線33と、n<sup>+</sup>型半導体領域16および上部電極32を接続する配線34がそれぞれ形成されている。

また、転送トランジスタTr1のゲート電極30には駆動ラインφ<sub>T</sub>が接続して設けられており、また、蓄積トランジスタTr2のゲート電極31には駆動ラインφ<sub>s</sub>が接続して設けられている。

[0048] 上記の他の要素であるリセットトランジスタTr3、増幅トランジスタTr4、選択トランジスタTr5、各駆動ライン(φ<sub>T</sub>, φ<sub>s</sub>, φ<sub>R</sub>, φ<sub>X</sub>)および出力ラインoutについては、例えば配線33が不図示の増幅トランジスタTr4に接続されるなど、図1の等価回路図に示す構成となるように、図2-1に示す半導体基板10上の不図示の領域において構成されている。

[0049] 図2-2は上記のフォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2および蓄積容量素子C<sub>s</sub>に相当する模式的なポテンシャル図である。

フォトダイオードPDは相対的に浅いポテンシャルの容量C<sub>PD</sub>を構成し、フローティング領域FDおよび蓄積容量素子C<sub>s</sub>は相対的に深いポテンシャルの容量(C<sub>FD</sub>, C<sub>s</sub>)を構成する。

ここで、転送トランジスタTr1および蓄積トランジスタTr2はトランジスタのon/offに応じて2準位を取りうる。

[0050] 図1の等価回路図、図2-1の断面図および図2-2のポテンシャル図で説明される本実施形態のCMOSイメージセンサの駆動方法について説明する。

図3-1は駆動ライン(φ<sub>T</sub>, φ<sub>s</sub>, φ<sub>R</sub>)に印加する電圧を、on/offの2準位、φ<sub>T</sub>についてはさらに(+α)で示す準位を加えた3準位で示したタイミングチャートである。

駆動ラインφ<sub>T</sub>に印加する電圧はON/OFFの2準位でもよいが、本例の如く3準位とした方がフォトダイオードPDから溢れ出た電荷をより効率的にフローティング領域F

Dと蓄積容量素子Csに捕獲して蓄積することができる。

図3-2および図3-3はそれぞれ上記のタイミングにおけるフォトダイオードPD、フローティング領域FDおよび蓄積容量素子C<sub>s</sub>から構成される容量(C<sub>PD</sub>, C<sub>FD</sub>, C<sub>s</sub>)の電位(V<sub>PD</sub>, V<sub>FD</sub>, V<sub>CS</sub>)の変化を示すグラフであり、図3-2はフォトダイオードPDで生成される光電子がC<sub>PD</sub>を飽和させる量以下であるような光量のときであり、図3-3はC<sub>PD</sub>を飽和させる量以上であるような光量のときである。

[0051] また、図4-1～図4-4および図5-1～図5-4はタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

[0052] まず、φ<sub>T</sub>をoff、φ<sub>S</sub>をonとした状態でφ<sub>R</sub>をonとして、前フィールドで生じた光電荷を全て排出してリセットしておき、時刻T<sub>1</sub>において次のフィールドが始まるとともに、φ<sub>R</sub>をoffとする。

このとき、図4-1に示すように、φ<sub>S</sub>がonとなっているのでC<sub>FD</sub>とC<sub>s</sub>が結合した状態となっており、リセット直後にはリセット動作に伴ういわゆるkTCノイズがC<sub>FD</sub>+C<sub>s</sub>に発生する。ここで、このC<sub>FD</sub>+C<sub>s</sub>のリセットレベルの信号をノイズN<sub>2</sub>として読み出す。

ノイズN<sub>2</sub>を読み出して後述のフレームメモリ(記憶手段)に蓄積しておき、画像信号生成時にそのノイズN<sub>2</sub>を利用する方法が最もS/N比をよくできる動作方法であるが、過飽和時には、飽和前電荷+過飽和電荷に比べてノイズN<sub>2</sub>が十分に小さいので、ノイズN<sub>2</sub>に代えて後述のノイズN<sub>1</sub>を用いてもよい。また、現フレームのノイズN<sub>2</sub>に代えて、次のフレームのノイズN<sub>2</sub>を用いてもよい。

[0053] 次に、蓄積時間T<sub>LT</sub>の間、フォトダイオードPDにおいて生成される光電荷を蓄積する。このとき、φ<sub>T</sub>については(+α)準位としてC<sub>PD</sub>とC<sub>FD</sub>間の障壁をわずかに下げておく。

図3-2に示すように、光電荷は、まずC<sub>PD</sub>に蓄積していく、これに伴ってC<sub>PD</sub>の電位V<sub>PD</sub>が徐々に下がっていく。光電子がC<sub>PD</sub>を飽和させる量以下である場合には、C<sub>PD</sub>の電位V<sub>PD</sub>が変化するのみで、C<sub>FD</sub>とC<sub>s</sub>の電位(V<sub>FD</sub>, V<sub>CS</sub>)は変化しない。

一方、光電子がC<sub>PD</sub>を飽和させる量以上である場合には、φ<sub>T</sub>を(+α)準位としてわずかに下げられた障壁を乗り越えて光電荷がC<sub>PD</sub>から溢れ、この画素のC<sub>FD</sub>+C<sub>s</sub>に選択的に蓄積されていく。このとき、図3-3に示すように、C<sub>PD</sub>が飽和する直前まではC

$C_{PD}$  の電位  $V_{PD}$  が徐々に下がり、 $C_{FD}$  と  $C_S$  の電位 ( $V_{FD}$ ,  $V_{CS}$ ) は変化しないが、 $C_{PD}$  が飽和する直後から  $C_{PD}$  の電位  $V_{PD}$  が一定となり、 $C_{FD}$  と  $C_S$  の電位 ( $V_{FD}$ ,  $V_{CS}$ ) が徐々に下がっていく。

- [0054] このようにして、光電子がフォトダイオードPDを飽和させる量以下である場合には  $C_{PD}$  のみに光電荷が蓄積し、光電子がフォトダイオードPDを飽和させる量以上である場合には  $C_{PD}$  に加えて  $C_{FD}$  と  $C_S$  にも光電荷が蓄積する。

図4-2は、 $C_{PD}$  が飽和しており、 $C_{PD}$  に飽和前電荷  $Q_B$  が蓄積し、 $C_{FD}$  と  $C_S$  に過飽和電荷  $Q_A$  が蓄積している状態を示す。

- [0055] 次に、蓄積時間  $T_{LT}$  の終了時に  $\phi_T$  を  $(+\alpha)$  準位からoffに戻し、さらに  $\phi_S$  をoffとして、図4-3に示すように、 $C_{FD}$  と  $C_S$  のポテンシャルを分割する。

次に、 $\phi_R$  をonにして、図4-4に示すように、 $C_{FD}$  中の光電荷を排出してリセットする。

- [0056] 次に、時刻  $T_2$ において、 $\phi_R$  をoffとしてリセットを終了した直後には、図5-1に示すように、kTCノイズが  $C_{FD}$  に新たに発生する。ここで、この  $C_{FD}$  のリセットレベルの信号をノイズ  $N_1$  として読み出す。

- [0057] 次に、 $\phi_T$  をonとして、図5-2に示すように、 $C_{PD}$  中の飽和前電荷  $Q_B$  を  $C_{FD}$  に転送する。ここで、 $C_{PD}$  のポテンシャルが  $C_{FD}$  よりも浅く、転送トランジスタの準位が  $C_{PD}$  より深くなっているので、 $C_{PD}$  中にあった飽和前電荷  $Q_B$  を全て  $C_{FD}$  に転送する完全電荷転送を実現できる。

ここで、時刻  $T_3$ において  $\phi_T$  をoffに戻し、 $C_{FD}$  に転送された飽和前電荷  $Q_B$  から飽和前電荷信号  $S_1$  を読み出す。但し、ここでは  $C_{FD}$  ノイズが乗っているので、実際に読みだされるのは  $S_1 + N_1$  となる。図5-2は、 $\phi_T$  をoffに戻す前の状態を示している。

- [0058] 次に、 $\phi_S$  をonとし、続いて  $\phi_T$  をonとすることで  $C_{FD}$  と  $C_S$  のポテンシャルを結合させ、図5-3に示すように、 $C_{FD}$  中の飽和前電荷  $Q_B$  と  $C_S$  中の過飽和電荷  $Q_A$  を混合する。

ここで、時刻  $T_4$ において  $\phi_T$  をoffに戻し、 $C_{FD} + C_S$  に広がる飽和前電荷  $Q_B$  + 過飽和電荷  $Q_A$  から飽和前電荷信号  $S_1$  と過飽和電荷信号  $S_2$  の和の信号を読み出す。但し、ここでは  $C_{FD} + C_S$  ノイズが乗っており、さらに  $C_{FD} + C_S$  に広がった電荷から読み取っていることから、実際に読みだされるのは  $S'_1 + S'_2 + N_2$  ( $S'_1$  と  $S'_2$  はそれぞれ  $C_{FD}$  と  $C_S$  )

$\phi_s$  の容量比率によって縮小変調された  $S_1$  と  $S_2$  の値)となる。図5-3は、 $\phi_T$  をoffに戻す前の状態を示している。

[0059] 次に、上記のように  $\phi_T$  をoff、 $\phi_s$  をonとした状態で  $\phi_R$  をonとして、このフィールドで生じた光電荷を全て排出してリセットしておき(図5-4)、次のフィールドへと移っていく。

[0060] 次に、上記の構成の画素をアレイ状に集積したCMOSイメージセンサ全体の回路構成について説明する。

図6は本実施形態のCMOSイメージセンサの全体の回路構成を示す等価回路図である。

複数個(図面上は代表して4個)の画素(Pixel)がアレイ状に配置されており、各画素(Pixel)には行シフトレジスタSR<sup>V</sup>で制御された駆動ライン( $\phi_T$ ,  $\phi_s$ ,  $\phi_R$ ,  $\phi_x$ )と、電源VDDおよびグラウンドGNDなどが接続されている。

各画素(Pixel)からは、列シフトレジスタSR<sup>H</sup>および駆動ライン( $\phi_{S1+N1}$ ,  $\phi_{N1}$ ,  $\phi_{S1'+S2'+N2}$ ,  $\phi_{N2}$ )で制御され、上述のように、飽和前電荷信号( $S_1$ ) +  $C_{FD}$ ノイズ( $N_1$ )、 $C_{FD}$ ノイズ( $N_1'$ )、変調された飽和前電荷信号( $S_1'$ ) + 変調された過飽和電荷信号( $S_2$ ) +  $C_{FD}$  +  $C_s$ ノイズ( $N_2$ )および $C_{FD}$  +  $C_s$ ノイズ( $N_2'$ )の4つの値がそれぞれのタイミングで各出力ラインに出力される。

ここで、飽和前電荷信号( $S_1$ ) +  $C_{FD}$ ノイズ( $N_1$ )と $C_{FD}$ ノイズ( $N_1'$ )の各出力端部分CT<sub>a</sub>は、以下に説明するようにこれらの差分を取ることから、差動アンプDC1を含む回路CT<sub>b</sub>をCMOSイメージセンサチップ上に形成してもよい。

[0061] 図7は、上記のように出力された飽和前電荷信号( $S_1$ ) +  $C_{FD}$ ノイズ( $N_1$ )、 $C_{FD}$ ノイズ( $N_1'$ )、変調された飽和前電荷信号( $S_1'$ ) + 変調された過飽和電荷信号( $S_2$ ) +  $C_{FD}$  +  $C_s$ ノイズ( $N_2$ )および $C_{FD}$  +  $C_s$ ノイズ( $N_2'$ )の4つの信号の処理を行う回路である。

上記の出力から、飽和前電荷信号( $S_1$ ) +  $C_{FD}$ ノイズ( $N_1$ )と $C_{FD}$ ノイズ( $N_1'$ )を差動アンプDC1に入力し、これらの差分を取ることで $C_{FD}$ ノイズ( $N_1$ )をキャンセルし、飽和前電荷信号( $S_1$ )が得られる。飽和前電荷信号( $S_1$ )は、必要に応じて設けられるA/DコンバータADC1によりデジタル化してもよく、ADC1を設けずにアナログ信号のままでもよい。

一方、変調された飽和前電荷信号( $S_1'$ ) + 変調された過飽和電荷信号( $S_2'$ ) +  $C_{FD} + C_S$ ノイズ( $N_2$ )と $C_{FD} + C_S$ ノイズ( $N_2$ )を差動アンプDC2に入力し、これらの差分を取って $C_{FD} + C_S$ ノイズ( $N_2$ )をキャンセルし、さらにアンプAPにより $C_{FD}$ と $C_S$ の容量比率によって復元して飽和前電荷信号( $S_1$ )と同じゲインに調整することで、飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )が得られる。 $S_1' + S_2' + N_2$ 信号と $N_2$ 信号は、差動アンプDC2に入力する前に、必要に応じて設けられるA/DコンバータADC2, 3によりそれぞれデジタル化してもよく、あるいはADC2, 3を設けずにアナログ信号のまま差動アンプDC2に入力してもよい。

[0062] ここで、図3-1～図3-3のタイミングチャートに示すように、 $C_{FD} + C_S$ ノイズ( $N_2$ )は他の信号に比べて相対的に早く取得されるので、他の信号が取得されるまで記憶手段であるフレームメモリFMに一旦格納しておき、他の信号が取得されるタイミングでフレームメモリFMから読みだし、以下の処理を行うようとする。

[0063] 上記の変調された飽和前電荷信号( $S_1'$ ) + 変調された過飽和電荷信号( $S_2'$ )の復元について説明する。

$S_1'$ 、 $S_2'$ 、 $\alpha$  ( $C_{FD}$ から $C_{FD} + C_S$ への電荷分配比) および  $\beta$  ( $C_S$ から $C_{FD} + C_S$ への電荷分配比) は以下の数式により表される。

$$S_1' = S_1 \times \alpha \quad (1)$$

$$S_2' = S_2 \times \alpha \times \beta \quad (2)$$

$$\alpha = C_{FD} / (C_{FD} + C_S) \quad (3)$$

$$\beta = C_S / (C_{FD} + C_S) \quad (4)$$

[0065] 従って、 $C_{FD}$ と $C_S$ の値から上記式(3)および(4)より  $\alpha$  および  $\beta$  を求め、それを上記式(1)および(2)に代入することで、 $S_1 + S_2$ に復元し、別途取得された $S_1$ と同じゲインに調整することができる。

[0066] 次に、図7に示すように、上記のように得られた $S_1$ と $S_1 + S_2$ のどちらか一方を選択して最終的な出力とする。

これには、まず、 $S_1$ をコンパレータCPに入力し、予め設定した基準電位 $V_0$ と比較する。一方、 $S_1$ と $S_1 + S_2$ はセレクタSEに入力され、上記のコンパレータCPの出力に応じて、 $S_1$ と $S_1 + S_2$ のどちらかが選択されて出力される。基準電位 $V_0$ はフォトダイオード

PDの容量に応じて飽和する前の電位が選択され、例えば0.3V程度とする。

即ち、 $S_1$ から $V_0$ を引いて負となれば、即ち、 $S_1$ が $V_0$ よりも小さければ、フォトダイオードPDは飽和していないと判断され、 $S_1$ が出力される。

逆に、 $S_1$ から $V_0$ を引いて正となれば、即ち、 $S_1$ が $V_0$ よりも大きければ、フォトダイオードPDは飽和していると判断され、 $S_1 + S_2$ が出力される。

[0067] 例えば、この出力までをCMOSイメージセンサチップCH上に形成し、差動アンプDC1およびフレームメモリFM以降の回路を外付けで実現する。また、上記のように差動アンプDC1についてはCMOSイメージセンサチップCH上に形成してもよい。

また、差動アンプDC1およびフレームメモリFM以降の回路については、取り扱うアナログデータが大きくなることから、差動アンプDC1およびフレームメモリFMに入力する前にA/D変換を行い、差動アンプDC1およびフレームメモリFM以降をデジタル処理することが好ましい。この場合、用いるA/Dコンバータの入力レンジに合わせて、予め不図示のアンプにより増幅しておくことが好ましい。

[0068] 上記のように、本実施形態のCMOSイメージセンサにおいては、1つの画素あたり、1フィールド毎に、飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )の2つの信号が得られることになり、実際にフォトダイオードPD( $C_{PD}$ )が飽和あるいはそれに近い状態であったかどうか判断して、 $S_1$ と $S_1 + S_2$ のどちらかを選択することになる。

[0069] 図8-1は上記のようにして容量 $C_{FD}$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 $S_1$ に相当する。一方、図8-2は容量 $C_{FD} + C_S$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 $S_1 + S_2$ に相当する。

例えば、基準電位 $V_0$ (例えば0.3V)として、これより低照度側では図8-1で示される信号 $S_1$ を用い、高照度側では図8-2で示される信号 $S_1 + S_2$ を用いる。

このとき、両グラフにおいて低照度領域にノイズNoiseが現れるが、これは信号 $S_1$ の方が信号 $S_1 + S_2$ よりも小さく、低照度側では信号 $S_1$ を採用するのでノイズレベルを高くしてしまうという問題がない。

また、 $C_{FD}$ の飽和電位は画素毎にばらつきを有しており、電荷数で $1 \times 10^4 \sim 2 \times 10^4$

<sup>4</sup>程度でばらついているが、この領域に入る前に $C_{FD} + C_s$ を用いた信号 $S_1 + S_2$ に切り換えててしまうので、 $C_{FD}$ の飽和電位のばらつきの影響を受けないで済むという利点がある。

また、例え基準電位 $V_0$ がばらついても、基準電位の近傍一帯で $C_{FD}$ の電荷数と $C_{FD} + C_s$ の電荷数は一致するので、基準電位付近においては、信号 $S_1$ を用いても、信号 $S_1 + S_2$ を用いても、問題はない。

[0070] 図8-3は、図8-1に示す容量 $C_{FD}$ を用いたときのフローティング領域の電圧を相対光量に対してプロットしたグラフ( $C_{FD}$ と表示)と、図8-2に示す容量 $C_{FD} + C_s$ を用いたときのフローティング領域の電圧を相対光量に対してプロットしたグラフ( $C_{FD} + C_s$ と表示)を重ねて示した図である。それぞれ、図8-1と図8-2に示すグラフを電荷数から電圧に変換したものに対応する。

ただし、容量 $C_{FD} + C_s$ を用いると、同じ光量を照射して同じ電荷数を得ても $C_s$ の分容量値が大きくなっているため、変換される電圧はその分低くなる。

例えば、上記のように基準電位0.3Vを超えるまでの低照度側では $C_{FD}$ で表示したグラフの信号 $S_1$ を用い、0.3Vを超える高照度側では、 $C_{FD} + C_s$ と表示したグラフの信号 $S_1 + S_2$ に切り替えて用いる。

[0071] 本実施形態のCMOSイメージセンサの構成と上記の動作方法によれば、それぞれノイズをキャンセルして得られた飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )の2つの信号から、フォトダイオードPD( $C_{PD}$ )が飽和していないければ飽和前電荷信号( $S_1$ )を採用し、飽和していれば飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )を採用する。

このように、フォトダイオードPDが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号( $S_1$ )により高感度、高S/N比を維持することができ、さらにフォトダイオードPDが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ ))により、高S/Nを維持して、高照度側に広ダイナミックレンジ化を実現できる。

[0072] 本実施形態のCMOSイメージセンサは、上記のように低照度側の感度を下げずに

高照度側の感度を上げて広ダイナミックレンジ化を図るほか、電源電圧を通常用いられている範囲から上げないので将来のイメージセンサの微細化に対応することができる。

素子の追加は極小に抑えられており、画素サイズの拡大を招くことはない。

さらに、従来の広ダイナミックレンジ化を実現するイメージセンサのように高照度側と低照度側で蓄積時間を分割しない、即ち、フレームをまたがずに同一の蓄積時間に蓄積しているので、動画の撮像にも対応することができる。

また、フローティング領域FDのリーク電流(FDリーク)についても、本実施形態のイメージセンサでは $C_{FD} + C_s$ の最小信号が過飽和電荷+フォトダイオードPDからの飽和電荷となってFDリークの電荷よりも大きな電荷量を取り扱うようになるので、FDリークの影響を受け難いという利点がある。

[0073] 第2実施形態

本実施形態は、第1実施形態に係るCMOSイメージセンサの画素の回路構成を変形した形態である。

図9-1は本実施形態のCMOSイメージセンサの1例の1画素(ピクセル)分の等価回路図である。実質的に図1の等価回路図と同様であるが、増幅トランジスタTr4および選択トランジスタTr5の接続が異なり、選択トランジスタTr5を増幅トランジスタTr4の上段側に配置し、増幅トランジスタTr4の出力を出力ラインoutに接続した形態である。

このような接続とすることで、増幅トランジスタTr4のアンプのゲインを上げることが可能となる。

[0074] また、図9-2は本実施形態のCMOSイメージセンサの他の例の1画素分の等価回路図である。実質的に図1の等価回路図と同様であるが、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3、増幅トランジスタTr4、選択トランジスタTr5の5つのトランジスタについて、nチャネルMOSトランジスタをpチャネルMOSトランジスタで置き換えた構成である。

これにより、ホールの完全電荷転送型のイメージセンサを実現でき、例えばシリコン基板としてp型を用いた場合などに好適である。

[0075] 他の構成は第1実施形態に係るCMOSイメージセンサと同様の構成とすることができる。

本実施形態に係るCMOSイメージセンサによれば、第1実施形態と同様に、フォトダイオードPDが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号により高感度、高S/N比を維持することができ、さらにフォトダイオードPDが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和)により、高S/Nを維持して、高照度側に広ダイナミックレンジ化を実現できる。

[0076] 第3実施形態

本実施形態に係る固体撮像装置はCCDイメージセンサである。

図10-1は本実施形態のCCDイメージセンサの1例の1画素分の等価回路図である。

即ち、 $\phi_{v1}$  と  $\phi_{v2}$  の2相駆動する第1の電荷結合転送路CCD1と第2の電荷結合転送路CCD2が垂直方向に延伸して配置され、フォトダイオードPDは第1の電荷結合転送路CCD1に直接接続され、一方、第2の電荷結合転送路CCD2に転送トランジスタTr1を介して接続されている。

ここで、第2の電荷結合転送路CCD2は、フォトダイオードPDが飽和したときにフォトダイオードPDから溢れる光電荷を蓄積する蓄積容量素子C<sub>s</sub>として機能する。

上記の構成のCCDイメージセンサにおいては、低照度側の飽和前信号を第1の電荷結合転送路CCD1により転送してCCDの駆動により読み出し、一方、高照度側の過飽和信号を蓄積容量素子C<sub>s</sub>で蓄積して、蓄積容量素子C<sub>s</sub>が構成する第2の電荷結合転送路CCD2の駆動によりそのまま読み出すものである。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

[0077] 図10-2は本実施形態のCCDイメージセンサの他の例の1画素分の等価回路図である。

第1実施形態のCMOSイメージセンサにおいて、低照度側の飽和前信号を第1の電荷結合転送路CCD1により転送してCCDの駆動により読み出す構成としたものに相当する。高照度側の過飽和信号の読み出しは、第1実施形態のCMOSイメージセンサにおける信号読み出しと同様に行うことができる。

この場合、飽和前信号と過飽和信号を混合する工程が不要となるので、フローティング領域FDおよび蓄積容量素子C<sub>s</sub>の間の蓄積トランジスタTr2を設けなくともよくなっている。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

[0078] 第4実施形態

本実施形態は、第1実施形態に係るCMOSイメージセンサの画素の回路構成を変形した形態である。

図11-1は本実施形態のCMOSイメージセンサの1例の1画素分の等価回路図である。実質的に図1の等価回路図と同様であるが、蓄積容量素子C<sub>s</sub>に蓄積された光電荷を対数変換して読み出す対数変換回路を構成するトランジスタTr6～8が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、フォトダイオードPDの飽和近傍においては、飽和前信号と過飽和信号を混合することによりS/Nを向上させることができる。

[0079] 図11-2は本実施形態のCMOSイメージセンサの他の例の1画素分の等価回路図である。

フォトダイオードPDから溢れる光電荷を対数変換して蓄積容量素子C<sub>s</sub>に蓄積する対数変換回路を構成するトランジスタTr6, 7, 9, 10が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、対数変換して蓄積容量素子C<sub>s</sub>に蓄積するので、蓄積容量素子C<sub>s</sub>が小さくても広ダイナミックレンジ化に寄与することができる。

[0080] 第5実施形態

本実施形態に係る固体撮像装置は第1実施形態と同様のCMOSイメージセンサであり、図12は1画素(ピクセル)分の等価回路図である。

各画素は、光を受光して光電荷を生成するフォトダイオードPD、フォトダイオードPDからの光電荷を転送する転送トランジスタTr1、転送トランジスタTr1を通じて光電荷が転送されるフローティング領域FD、蓄積動作時に前記フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子 $C_s$ 、フローティング領域FDと蓄積容量素子 $C_s$ のポテンシャルを結合または分割する蓄積トランジスタTr2、蓄積容量素子 $C_s$ に直接接続し、蓄積トランジスタTr2を介してフローティング領域FDに接続して形成され、蓄積容量素子 $C_s$ およびフローティング領域FD内の光電荷を排出するためのリセットトランジスタTr3、フローティング領域FD内の光電荷を電圧信号に増幅変換する増幅トランジスタTr4、および、増幅トランジスタに接続して形成され、画素を選択するための選択トランジスタTr5から構成されており、いわゆる5トランジスタ型のCMOSイメージセンサである。例えば、上記の5つのトランジスタはいずれもnチャネルMOSトランジスタからなる。

[0081] 本実施形態に係るCMOSイメージセンサは、上記の構成の画素がアレイ状に複数個集積されており、各画素において、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3のゲート電極に、 $\phi_T$ 、 $\phi_S$ 、 $\phi_R$ の各駆動ラインが接続され、また、選択トランジスタTr5のゲート電極には行シフトレジスタから駆動される画素選択ラインSL( $\phi_x$ )が接続され、さらに、選択トランジスタTr5の出力側ソース・ドレインに出力ラインoutが接続され、列シフトレジスタにより制御されて出力される。

選択トランジスタTr5、駆動ライン $\phi_x$ については、画素の選択、非選択動作ができるように、フローティング領域FDの電圧を適宜な値に固定できればよいから、それらを省略することも可能である。

[0082] 図13は上記のフォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2および蓄積容量素子 $C_s$ に相当する模式的なポテンシャル図である。

フォトダイオードPDは相対的に浅いポテンシャルの容量 $C_{PD}$ を構成し、フローティング領域FDおよび蓄積容量素子 $C_s$ は相対的に深いポテンシャルの容量( $C_{FD}$ 、 $C_s$ )を

構成する。

ここで、転送トランジスタTr1および蓄積トランジスタTr2はトランジスタのon/offに応じて2準位を取りうる。

[0083] 図12の等価回路図と図13のポテンシャル図で説明される本実施形態のCMOSイメージセンサの駆動方法について説明する。

図14-1は、駆動ライン( $\phi_T$ ,  $\phi_S$ ,  $\phi_R$ )に印加する電圧を、on/offの2準位、 $\phi_T$ についてはさらに(+  $\alpha$ )で示す準位を加えた3準位で示したタイミングチャートである。

駆動ライン $\phi_T$ に印加する電圧はON/OFFの2準位でもよいが、本例の如く3準位とした方がフォトダイオードPDから溢れ出た電荷をより効率的にフローティング領域FDと蓄積容量素子Csに捕獲して蓄積することができる。

[0084] また、図15-1～図15-3および図16-1～図16-3はタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

[0085] まず、1つのフィールド(1F)の始まりにおいて、 $\phi_T$ をoff、 $\phi_S$ をonとした状態で $\phi_R$ をonとして、前フィールドで生じた光電荷を全て排出してリセットし、時刻T<sub>1</sub>において $\phi_R$ をoffとする。

このとき、図15-1に示すように、 $\phi_S$ がonとなっているのでC<sub>FD</sub>とC<sub>S</sub>が結合した状態となっており、リセット直後にはリセット動作に伴ういわゆるkTCノイズがC<sub>FD</sub> + C<sub>S</sub>に発生する。ここで、このC<sub>FD</sub> + C<sub>S</sub>のリセットレベルの信号をノイズN<sub>2</sub>として読み出す。

[0086] 次に、蓄積時間T<sub>LT</sub>の間、フォトダイオードPDにおいて生成される光電荷を蓄積する。このとき、 $\phi_T$ については(+  $\alpha$ )準位としてC<sub>PD</sub>とC<sub>FD</sub>間の障壁をわずかに下げておく。

電荷の蓄積が開始すると、光電荷はまずC<sub>PD</sub>に蓄積していき、光電子がC<sub>PD</sub>を飽和させる量以上である場合には、図15-2に示すように、 $\phi_T$ を(+  $\alpha$ )準位としてわずかに下げられた障壁を乗り越えて光電荷がC<sub>PD</sub>から溢れ、この画素のC<sub>FD</sub> + C<sub>S</sub>に選択的に蓄積されていく。

このようにして、光電子がフォトダイオードPDを飽和させる量以下である場合にはC<sub>PD</sub>のみに光電荷が蓄積し、光電子がフォトダイオードPDを飽和させる量以上である場合にはC<sub>PD</sub>に加えてC<sub>FD</sub>とC<sub>S</sub>にも光電荷が蓄積する。

図15-2は、 $C_{PD}$ が飽和しており、 $C_{PD}$ に飽和前電荷 $Q_B$ が蓄積し、 $C_{FD}$ と $C_S$ に過飽和電荷 $Q_A$ が蓄積している状態を示す。

[0087] 次に、蓄積時間 $T_{LT}$ の終了時に $\phi_T$ を $(+\alpha)$ 準位からoffに戻し、さらに時刻 $T_2$ において、 $\phi_s$ をoffとして、図15-3に示すように、 $C_{FD}$ と $C_S$ のポテンシャルを分割する。このとき、過飽和電荷 $Q_A$ が $C_{FD}$ と $C_S$ の容量比に応じて、 $Q_{A1}$ と $Q_{A2}$ に分割される。ここで、過飽和電荷の一部 $Q_{A1}$ を保持している $C_{FD}$ のレベルの信号をノイズ $N_1$ として読み出す。

[0088] 次に、 $\phi_T$ をonとして、図16-1に示すように、 $C_{PD}$ 中の飽和前電荷 $Q_B$ を $C_{FD}$ に転送し、元から $C_{FD}$ に保持されていた過飽和電荷の一部 $Q_{A1}$ と混合する。ここで、 $C_{PD}$ のポテンシャルが $C_{FD}$ よりも浅く、転送トランジスタの準位が $C_{PD}$ より深くなっているので、 $C_{PD}$ 中にあった飽和前電荷 $Q_B$ を全て $C_{FD}$ に転送する完全電荷転送を実現できる。

次に、時刻 $T_3$ において $\phi_T$ をoffに戻し、 $C_{FD}$ に転送された飽和前電荷 $Q_B$ から飽和前電荷信号 $S_1$ を読み出す。但し、 $C_{FD}$ には飽和前電荷 $Q_B$ と過飽和電荷の一部 $Q_{A1}$ の和の電荷が存在しており、実際に読みだされるのは $S_1 + N_1$ となる。図16-1は、 $\phi_T$ をoffに戻す前の状態を示している。

[0089] 次に、 $\phi_s$ をonとし、続いて $\phi_T$ をonとすることで $C_{FD}$ と $C_S$ のポテンシャルを結合させ、図16-2に示すように、 $C_{FD}$ 中の飽和前電荷 $Q_B$ と過飽和電荷の一部 $Q_{A1}$ の和の電荷と、 $C_S$ 中の過飽和電荷の一部 $Q_{A2}$ を混合する。過飽和電荷の一部 $Q_{A1}$ と過飽和電荷の一部 $Q_{A2}$ との和は分割前の過飽和電荷 $Q_A$ に相当するので、 $C_{FD}$ と $C_S$ の結合したポテンシャル中に飽和前電荷 $Q_B$ と過飽和電荷 $Q_A$ の和の信号が保持された状態となる。

ここで、時刻 $T_4$ において $\phi_T$ をoffに戻し、 $C_{FD} + C_S$ に広がる飽和前電荷 $Q_B$ と過飽和電荷 $Q_A$ から飽和前電荷信号 $S_1$ と過飽和電荷信号 $S_2$ の和の信号を読み出す。但し、ここでは $C_{FD} + C_S$ ノイズが乗っており、さらに $C_{FD} + C_S$ に広がった電荷から読み取っていることから、実際に読みだされるのは $S'_1 + S'_2 + N_2$ ( $S'_1$ と $S'_2$ はそれぞれ $C_{FD}$ と $C_S$ の容量比率によって縮小変調された $S_1$ と $S_2$ の値)となる。図16-2は、 $\phi_T$ をoffに戻す前の状態を示している。

[0090] 以上で1つのフィールド(1F)が終了し、次のフィールドに移って、 $\phi_T$ をoff、 $\phi_s$ をo

$n$ とした状態で  $\phi_R$  をonとして、図16-3に示すように、前のフィールドで生じた光電荷を全て排出してリセットする。

[0091] 上記のようにして得た4つの信号  $N_2$ ,  $N_1$ ,  $S_1 + N_1$ ,  $S_1' + S_2' + N_2'$  から、第1実施形態と同様の手順により、飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )を得る。飽和前であるか飽和後であるかによって、いずれかの信号を選択する。

[0092] 上記の説明においては、ノイズ  $N_2$  を読み出してフレームメモリに蓄積しておき、画像信号生成時にそのノイズ  $N_2$  を利用しているが、過飽和時には飽和前電荷+過飽和電荷に比べてノイズ  $N_2$  が十分に小さいので、現フレームのノイズ  $N_2$  に代えて、次のフレームのノイズ  $N_2$  を用いてもよい。

[0093] また、図14-2に示すタイミングチャートに従って駆動させることができる。即ち、図14-1のタイミングチャートに対して、各フィールドのリセット動作期間中に、 $\phi_T$  をonとする期間を設けていることが異なる。この場合、 $C_{PD}$  中の電荷まで確実にリセットすることができる。

上記の他、全体の回路構成などは、第1実施形態と同様の構成である。

[0094] 図17は本実施形態のCMOS固体撮像装置において、プレーナ型蓄積容量素子を採用した場合の約1画素(ピクセル)分のレイアウト図の一例である。

フォトダイオードPD、蓄積容量素子  $C_s$  および5つのトランジスタTr1～Tr5を図のように配置し、さらにトランジスタTr1とトランジスタTr2の間のフローティング領域FDとトランジスタTr4のゲートを配線W1で接続し、さらにトランジスタTr2とトランジスタTr3の間の拡散層と蓄積容量素子  $C_s$  の上部電極を配線W2で接続して、図13に示す本実施形態の等価回路図に相当する回路を実現することができる。

このレイアウトにおいて、転送トランジスタTr1のチャネルの幅は、フォトダイオードPD側で広く、フローティング領域FD側で狭くなるように形成されている。このため、フォトダイオードから溢れた電荷を効率よくフローティング領域側にオーバーフローさせることができる。一方、フローティング領域FD側で狭くすることで、フローティング領域FDの容量を小さくとることができ、フローティング領域FD中に蓄積した電荷に対する電位の変動幅を大きくとることができる。

[0095] 本実施形態のCMOSイメージセンサによれば、第1実施形態と同様に、それぞれノイズをキャンセルして得られた飽和前電荷信号( $S_1$ )と飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )の2つの信号から、フォトダイオードPD( $C_{PD}$ )が飽和していなければ飽和前電荷信号( $S_1$ )を採用し、飽和していれば飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ )を採用する。

このように、フォトダイオードPDが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号( $S_1$ )により高感度、高S/N比を維持することができ、さらにフォトダイオードPDが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和( $S_1 + S_2$ ))により、高S/Nを維持して、高照度側に広ダイナミックレンジ化を実現できる。

[0096] 本実施形態のCMOSイメージセンサは、上記のように低照度側の感度を下げずに高照度側の感度を上げて広ダイナミックレンジ化を図るほか、電源電圧を通常用いられている範囲から上げないので将来のイメージセンサの微細化に対応することができる。

素子の追加は極小に抑えられており、画素サイズの拡大を招くことはない。

さらに、従来の広ダイナミックレンジ化を実現するイメージセンサのように高照度側と低照度側で蓄積時間を分割しない、即ち、フレームをまたがずに同一の蓄積時間に蓄積しているので、動画の撮像にも対応することができる。

また、フローティング領域FDのリーク電流(FDリーク)についても、本実施形態のイメージセンサでは $C_{FD} + C_S$ の最小信号が過飽和電荷+フォトダイオードPDからの飽和電荷となってFDリークの電荷よりも大きな電荷量を取り扱うようになるので、FDリークの影響を受け難いという利点がある。

本実施形態のCMOSイメージセンサは、第1実施形態と同様に、PDの飽和バラツキの影響を受けない。

[0097] 第6実施形態

本実施形態のCMOSセンサは、上記の第1～第5実施形態のCMOSセンサにおいて、下記の構成とすることによりフローティング領域のリークを抑制することができる

CMOSセンサである。

図18-1は、本実施形態に係るCMOSセンサのフローティング領域部分を詳細に示す断面図である。

p型ウェル(p-well)11の活性領域が、LOCOS法による酸化シリコンの素子分離絶縁膜20で分離されており、素子分離絶縁膜20の下方に相当するp型ウェル11中には、p<sup>+</sup>型分離領域12が形成されている。また、バーズビークと呼ばれるLOCOS素子分離絶縁膜20の端部20aの下方にも、さらなるp<sup>+</sup>型分離領域12aが形成されている。

素子分離絶縁膜20の端部20aから所定の距離を離間して、p型ウェル11の表面に酸化シリコンならなるゲート絶縁膜23を介してポリシリコンのゲート電極30が形成されている。ゲート電極の側部には、例えば窒化シリコンのサイドウォールスペーサ30aが形成されている。

[0098] ゲート電極30と素子分離絶縁膜20の間のp型ウェル11の表層に、フローティング領域FDとなるn<sup>+</sup>型半導体領域15が形成されている。n<sup>+</sup>型半導体領域15は低濃度不純物領域15aと高濃度不純物領域15bからなる。ここで、高濃度不純物領域15bの端部から低濃度不純物領域15aがはみだしている、いわゆるLDD (lightly Doped Drain) 構造となっており、素子分離絶縁膜20の端部20a近傍およびゲート電極30近傍において、低濃度不純物領域15aが素子分離絶縁膜20の端部20aおよびゲート電極30側に、より広く形成されている。

上記のゲート電極30とn<sup>+</sup>型半導体領域15などからなるソース・ドレインなどから、p型ウェル11の表層にチャネル形成領域を有する転送トランジスタTr1が構成されている。

[0099] ゲート電極30、n<sup>+</sup>型半導体領域15および素子分離絶縁膜20などを被覆して酸化シリコンからなる層間絶縁膜が形成されており、n<sup>+</sup>型半導体領域15に達するコンタクトが開口されており、コンタクトの底部であるn<sup>+</sup>型半導体領域15の上層に、TiSi層(あるいはTi層)41とTiN層42が積層され、その上層にコンタクトを埋め込んでタングステンプラグ43が形成されている。さらにタングステンプラグ43に接続して層間絶縁膜の上層に上層配線44が形成されている。上層配線44は、n<sup>+</sup>型半導体領域15を覆う

ような面積で形成されており、また、コンタクトで接続されてn<sup>+</sup>型半導体領域15と同じ電位となっている。

[0100] 図18-1に示す構造を有するCMOSセンサでは、LOCOS素子分離絶縁膜20のバーズピークの下部にもp<sup>+</sup>型分離領域12aが形成されていることや、n<sup>+</sup>型半導体領域15がLDD構造となっていて、n<sup>+</sup>型半導体領域15の端部、特にストレスの大きいLOCOS素子分離絶縁膜20のバーズピーク近傍での電界集中が緩和されていることから、n<sup>+</sup>型半導体領域15(フローティング領域FD)におけるリークを抑制することができる。

また、n<sup>+</sup>型半導体領域15(フローティング領域FD)を覆うように、同電位の上層配線44が形成されており、上層配線44によるシールド効果により、リークの原因となるn<sup>+</sup>型半導体領域15(フローティング領域FD)の表面の空乏化を抑制することができる。

上記のように、n<sup>+</sup>型半導体領域15(フローティング領域FD)のリークを大きく抑制することができる構造である。

[0101] 図18-2および図18-3は、図18-1に示すCMOSセンサの製造工程を示す断面図である。

図18-2に示すように、p型ウェル11の素子分離領域に、チャネルストップとなるp<sup>+</sup>型分離領域12とLOCOS法により素子分離絶縁膜20を形成し、さらに素子分離絶縁膜20のバーズピーク下部においてもp<sup>+</sup>型分離領域12aを形成する。

次に、例えば熱酸化法によりp型ウェル11の表面にゲート絶縁膜23を形成し、ゲート電極30をパターン形成して、ゲート電極および素子分離絶縁膜20のバーズピークにより端部が規定されるように、n型の導電性不純物DP1をイオン注入し、低濃度不純物領域15aを形成する。

[0102] 次に、図18-3に示すように、例えばCVD(化学気相成長)法などにより全面に窒化シリコンを成膜し、エッチバックをすることで、ゲート電極30の側部にサイドウォールスペーサ30aを形成する。また、バーズピークからある程度はみ出すようにして素子分離絶縁膜20を被覆するようなパターンでレジスト膜PRを形成する。

上記のサイドウォールスペーサ30aとレジスト膜PRにより端部が規定されるように、n

型の導電性不純物DP2をイオン注入し、高濃度不純物領域15bを形成する。

上記の工程により、ゲート電極側だけでなく、LOCOS素子分離絶縁膜20側においてもLDD構造とすることができます。

[0103] 次に、例えばCVD法により全面に酸化シリコンを成膜して層間絶縁膜を形成し、得られた層間絶縁膜に対して、 $n^+$ 型半導体領域15に達するコンタクトを開口し、例えばスパッタリング法などにより、コンタクト底部にTiSi層(あるいはTi層)41を形成し、さらにTiN層42を形成し、さらにタングステンプラグ43をコンタクトに埋め込んで形成する。さらに、例えば金属材料により、 $n^+$ 型半導体領域15を覆うような広さで上層配線44を形成し、図18-1に示す構造とする。

[0104] 本実施形態のCMOSセンサによれば、上記の各実施形態と同様に、高照度側に広ダイナミックレンジ化を実現できることに加えて、フローティング領域のリーク電流を抑制することが可能となっている。

[0105] 第7実施形態

本実施形態に係るCMOSセンサは、上記の第1～第6実施形態のCMOSセンサにおいて、駆動ライン $\phi_T$ に印加する電圧を図3-1に示すような $(+\alpha)$ で示す準位とすることなく、on/offの2準位のみで、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティング領域へとスムーズに移動させることができる構造としたCMOSセンサである。

[0106] 図19-1および図19-2に示すCMOSセンサは、転送トランジスタが、転送トランジスタを構成する基板の表面または表面近傍から所定の深さまで形成された転送トランジスタのチャネルと同じ導電型の半導体層を有する埋め込みチャネル型である。

[0107] 図19-1は、本実施形態に係るCMOSセンサの一例の断面図であり、フォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2の部分に相当する。蓄積トランジスタTr2のソースドレインとなる $n^+$ 型半導体領域16は、不図示の蓄積容量素子 $C_s$ に接続されている。

ここで、転送トランジスタTr1のゲート電極30の下部における基板の表面から所定の深さまで、 $n$ 型半導体領域13と $n^+$ 型半導体領域15に一部重なるように、 $n$ 型半導体領域50が形成されている。 $n$ 型半導体領域50は、 $n$ 型半導体領域13および $n^+$ 型

半導体領域15よりも不純物の実効濃度が低いn型の領域である。

上記の構造においては、転送トランジスタTr1が埋め込みチャネル化されており、これはフォトダイオードとフローティング領域間のポテンシャル障壁を下げるに相当する。従って、駆動ライン $\phi_T$ に図3-1の(+α)で示す電位を印加しなくとも、同等のポテンシャルを得ることができ、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティング領域へとスムーズに移動させることができる。

[0108] 図19-2は、本実施形態に係るCMOSセンサの一例の断面図であり、図19-1のCMOSセンサと同様に、転送トランジスタTr1のゲート電極30の下部における基板の表面から所定の深さまで、n型半導体領域13とn<sup>+</sup>型半導体領域15に一部重なるように、n型半導体領域50が形成されている。さらに転送トランジスタTr1のゲート電極30の下部領域まで、フォトダイオードPDの表層に形成されているp<sup>+</sup>型半導体領域14が延伸して形成されている。

n型半導体領域50とp<sup>+</sup>型半導体領域14が形成されることにより転送トランジスタTr1が埋め込みチャネル化されており、これはフォトダイオードとフローティング領域間のポテンシャル障壁を下げるに相当する。従って、駆動ライン $\phi_T$ に図3-1の(+α)で示す電位を印加しなくとも、同等のポテンシャルを得ることができ、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティング領域へとスムーズに移動させることができる。

[0109] 図20-1および図20-2に示すCMOSセンサは、転送トランジスタが、転送トランジスタを構成する基板の所定の深さにおいて形成され、転送トランジスタのチャネルと同じ導電型であり、転送トランジスタのパンチスルーの障壁を低減する半導体層を有する構成である。

[0110] 図20-1は、本実施形態に係るCMOSセンサの一例の断面図であり、フォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2の部分に相当する。蓄積トランジスタTr2のソースドレインとなるn<sup>+</sup>型半導体領域16は、不図示の蓄積容量素子C<sub>s</sub>に接続されている。

ここで、転送トランジスタTr1のゲート電極30の下部における所定の深さの領域において、n型半導体領域13に接続して、n型半導体領域51が形成されている。

上記の構造は、転送トランジスタTr1のパンチスルーパンチスルーパスPAのルートが、フォトダイオードからフローティング領域FDへのオーバーフローパスPAとなり、駆動ライン $\phi_T$ に図3-1の(+α)で示す電位を印加しなくとも、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーパスPAさせてフローティング領域へとスムーズに移動させることができる。

[0111] 図20-2は、本実施形態に係るCMOSセンサの一例の断面図であり、図20-1のCMOSセンサと同様に、転送トランジスタTr1のゲート電極30の下部における所定の深さの領域において、n型半導体領域13に接続して、n型半導体領域52が形成されている。本実施形態においては、n型半導体領域52が、さらにフローティング領域の下方にまで延伸して形成されている。

上記の構造は、転送トランジスタTr1のパンチスルーパンチスルーパスPAのルートが、フォトダイオードからフローティング領域FDへのオーバーフローパスPAとなり、駆動ライン $\phi_T$ に図3-1の(+α)で示す電位を印加しなくとも、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーパスPAさせてフローティング領域へとスムーズに移動させることができる。

[0112] 第8実施形態

本実施形態は、上記の各実施形態において、フォトダイオードから溢れる光電荷を蓄積するための蓄積容量素子の形態の変形例を示す。

[0113] 蓄積容量素子として、ジャンクション型蓄積容量素子を考えた場合、条件を考慮しても $1 \mu m^2$ あたりの静電容量は $0.3 \sim 3 fF / \mu m^2$ 程度であり、面積効率はあまりよくなく、ダイナミックレンジを広くするには困難が伴う。

[0114] 一方、プレーナ型蓄積容量素子では、容量絶縁膜の絶縁膜リーク電流を抑制するために絶縁膜電界を $3 \sim 4 MV/cm$ 以下、最大印加電圧が $2.5 \sim 3 V$ 、容量絶縁膜厚が $7 nm$ 程度と設定したとき、容量絶縁膜の材料の誘電率が $3.9 \sim 4.8 fF / \mu m^2$ 、誘電率が $7.9 \sim 9.9 fF / \mu m^2$ 、誘電率が $20 \sim 25 fF / \mu m^2$ 、誘電率が $50 \sim 63 fF / \mu m^2$ となる。

酸化シリコン(誘電率3.9)の他、窒化シリコン(同7.9)、 $Ta_2O_5$ (同20~30)、 $HfO_2$ (同30)、 $ZrO_2$ (同30)、 $Ra_2O_3$ (同40~50)程度のいわゆるHigh-k材料を用いることで、より大きな静電容量を実現でき、比較的単純な構造であるプレーナ型でも100~120dBの広ダイナミックレンジなイメージセンサを実現できる。

[0115] さらに、占有面積を抑制して容量の寄与する面積を拡大可能なスタック型やトレンチ型などの構造を適用することでも120dBの広いダイナミックレンジを達成可能で、さらに上記のHigh-k材料を組み合わせることで、スタック型では140dB、トレンチ型では160dBを達成可能である。

[0116] 以下に、本実施形態で適用できる蓄積容量素子の例を示す。

図21-1は第1実施形態と同様のプレーナ型MOS蓄積容量素子の断面図である。即ち、蓄積容量素子C<sub>s</sub>は、例えば、半導体基板10の表層部分に形成された下部電極となるp<sup>+</sup>型半導体領域17と、p<sup>+</sup>型半導体領域17上に形成された酸化シリコンの容量絶縁膜25と、容量絶縁膜25上に形成されたポリシリコンなどの上部電極32とを有する構成である。

[0117] 図21-2はプレーナ型MOSおよびジャンクション型の蓄積容量素子の断面図である。

例えば、n型半導体基板10に形成されたp型ウェル11の表層部分に下部電極となるn<sup>+</sup>型半導体領域16bが蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16aと一緒に形成されており、その上の酸化シリコンの容量絶縁膜25を介して上部電極32が形成されて、蓄積容量素子C<sub>s</sub>が構成されている。この場合、上部電極32には電源電圧VDDあるいはグラウンドGNDが印加される。

[0118] 図22-1の断面図に示す蓄積容量素子は図21-1と同様のプレーナ型MOS蓄積容量素子である。

但し、容量絶縁膜25aが窒化シリコンあるいはTa<sub>2</sub>O<sub>5</sub>などのHigh-k材料から構成されており、図21-1の蓄積容量素子よりも大容量化されている。

[0119] 図22-2の断面図に示す蓄積容量素子は図21-2と同様のプレーナ型MOSおよびジャンクション型の蓄積容量素子である。

但し、容量絶縁膜25aが窒化シリコンあるいはTa<sub>2</sub>O<sub>5</sub>などのHigh-k材料から構成

されており、図21-2の蓄積容量素子よりも大容量化されている。

[0120] 図23-1はスタック型蓄積容量素子の断面図である。

例えば、n型半導体基板10に形成された素子分離絶縁膜上に形成された下部電極37と、下部電極37上に形成された容量絶縁膜25と、容量絶縁膜25上に形成された上部電極38とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる $n^+$ 型半導体領域16と下部電極37が配線36により接続されている。この場合、上部電極38には電源電圧VDDあるいはグラウンドGNDが印加される。

[0121] 図23-2は円筒形状のスタック型蓄積容量素子の断面図である。

例えば、蓄積トランジスタのソース・ドレインとなる $n^+$ 型半導体領域16に接続するよう形成された円筒形状の下部電極37aと、円筒形状の下部電極37aの内壁面上に形成された容量絶縁膜25と、下部電極37aの円筒の内側の部分を埋め込むように容量絶縁膜25を介して形成された上部電極38aとを有する構成である。

ここでは、上部電極38aには電源電圧VDDあるいはグラウンドGNDが印加される。

円筒形状の下部電極37aと下部電極37aの円筒の内側の部分を埋め込むように形成された上部電極38aの構造は、通常のスタック型よりも静電容量に寄与する対向面積を大きくとることができる。

図24は、プレーナMOS型とスタック型とを組み合わせた複合蓄積容量素子の断面図である。本例によれば、面積効率の高い大きな容量を形成することができる。

[0122] 図25-1はトレンチ型蓄積容量素子の断面図である。

n型半導体基板10のp型ウェル11を貫通してn型基板に達するトレンチTCが形成されており、トレンチTCの内壁に形成された下部電極となる $n^+$ 型半導体領域18と、トレンチTCの内壁を被覆して形成された容量絶縁膜25と、容量絶縁膜25を介してトレンチTCを埋め込んで形成された上部電極40とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる $n^+$ 型半導体領域16と上部電極40が配線34により接続されている。

[0123] 図25-2はジャンクションを有するトレンチ型蓄積容量素子の断面図である。

n型半導体基板10のp型ウェル11内においてトレンチTCが形成されており、トレンチTCの内壁に下部電極となるn<sup>+</sup>型半導体領域16dが蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16cと一緒に形成され、トレンチTCの内壁を被覆して容量絶縁膜25が形成され、さらに容量絶縁膜25を介してトレンチTCを埋め込んで上部電極40が形成された構成である。

[0124] 図26-1はトレンチ型蓄積容量素子の断面図である。

n型半導体基板10のp型ウェル11を貫通してn型基板に達するようトレンチTCが形成されており、トレンチTCのある程度の深さよりも深い領域において、その内壁に形成された下部電極となるn<sup>+</sup>型半導体領域18と、トレンチTCの内壁を被覆して形成された容量絶縁膜25と、容量絶縁膜25を介してトレンチTCを埋め込んで形成された上部電極40とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16と上部電極40が配線34により接続されている。

[0125] 図26-2はトレンチ型蓄積容量素子の断面図である。

n型半導体基板10のp型ウェル11を貫通してn型基板に達するようトレンチTCが形成されており、トレンチTCの内壁に形成された下部電極となるp<sup>+</sup>型半導体領域19と、トレンチTCの内壁を被覆して形成された容量絶縁膜25と、容量絶縁膜25を介してトレンチTCを埋め込んで形成された上部電極40とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなるn<sup>+</sup>型半導体領域16と上部電極40が配線34により接続されている。

[0126] 図27はジャンクション容量を用いた埋め込み蓄積容量素子を有するCMOSセンサの断面図である。

例えば、p型シリコン半導体基板(p-sub)60上にp型エピタキシャル層61が形成されており、p型シリコン半導体基板60とp型エピタキシャル層61にわたってn<sup>+</sup>型半導体領域62が形成されている。即ち、n型(第1導電型)の半導体領域とこれに接合するp型(第2導電型)の半導体領域とが、固体撮像装置を構成する半導体基板の内部に埋め込まれて、ジャンクション容量を用いた埋め込み蓄積容量素子が形成されている。

p型シリコン半導体基板60とp型エピタキシャル層61領域には、さらにp<sup>+</sup>型分離領域63が形成されている。

p型エピタキシャル層61上にp型半導体層64が形成されており、p型半導体層64に対して、上記の各実施形態と同様に、フォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2が形成されている。

例えば、蓄積容量素子となるn<sup>+</sup>型半導体領域62は、上記のフォトダイオードPD、転送トランジスタTr1、フローティング領域FD、蓄積トランジスタTr2の各形成領域にわたって、広く形成されている。

また、蓄積トランジスタTr2のソースドレインとなるn<sup>+</sup>型半導体領域16は、p型半導体層64中を垂直に伸びるn<sup>+</sup>型半導体領域65により、蓄積容量素子を構成するn<sup>+</sup>型半導体領域62に接続している。

[0127] 図28は絶縁膜容量およびジャンクション容量を用いた埋め込み蓄積容量素子を有するCMOSセンサの断面図である。

図27と同様の構造であるが、p型シリコン半導体基板(p-sub)60上に、絶縁膜60aを介して、第1p型エピタキシャル層61aと第2p型エピタキシャル層61bとが形成されており、半導体基板上に絶縁膜を介して半導体層が形成されているSOI(Semiconductor on Insulator)基板となっている。

ここで、第1p型エピタキシャル層61aと第2p型エピタキシャル層61bにわたり、絶縁膜60aに接する領域まで、n<sup>+</sup>型半導体領域62が形成されており、絶縁膜を介して対向する半導体基板と半導体層の間の絶縁膜容量を用いて、蓄積容量素子が構成されている。

さらに、図27の蓄積容量素子と同様に、n<sup>+</sup>型半導体領域62と、第1p型エピタキシャル層61aおよび第2p型エピタキシャル層61bの間で、ジャンクション容量が形成されている。

この他の構造については、図27のCMOSセンサと同様である。

[0128] 図29は絶縁膜容量およびジャンクション容量を用いた埋め込み蓄積容量素子を有するCMOSセンサの断面図である。

図28と同様の構造であるが、さらに、フォトダイオードPDを構成するn型半導体領

域13と蓄積容量素子を構成するn<sup>+</sup>型半導体領域62の間に、低濃度半導体層(i層)66が形成されている。

上記の構造は、n型半導体領域13とn<sup>+</sup>型半導体領域62の間のポテンシャル障壁を低くすることに相当し、フォトダイオードからフローティング領域FDへのオーバーフロー・パスPAとなる。これにより、駆動ライン $\phi_T$ に図3-1の(+α)で示す電位を印加しなくとも、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーサイドで蓄積容量素子へと移動させることができる。

[0129] 上記の各種の蓄積容量素子は、上述の第1～第7実施形態のいずれにも適用可能で、上述のようにこれらの形状の蓄積容量素子により、フォトダイオードから溢れる光電荷を蓄積することで、高照度側に広ダイナミックレンジ化を実現できる。

[0130] (実施例1)

本発明のCMOSイメージセンサにおいて、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧、C<sub>s</sub>の静電容量値を種々の値に変化させたときに、実現できるダイナミックレンジをシミュレーションにより求めた。ここで、ノイズレベルは2e<sup>-</sup>とした。

C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が500mV、C<sub>s</sub>が64fFの静電容量の場合、あるいは、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が1V、C<sub>s</sub>が32fFの静電容量の場合、C<sub>s</sub>を含めた飽和時の電子数が $2 \times 10^5 e^-$ となって、100dBのダイナミックレンジを実現できる。

また、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が500mV、C<sub>s</sub>が200fFの静電容量の場合、あるいは、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が1V、C<sub>s</sub>が100fFの静電容量の場合、C<sub>s</sub>を含めた飽和時の電子数が $6.3 \times 10^5 e^-$ となって、110dBのダイナミックレンジを実現できる。

また、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が500mV、C<sub>s</sub>が640fFの静電容量の場合、あるいは、C<sub>FD</sub>およびC<sub>s</sub>の飽和電圧が1V、C<sub>s</sub>が320fFの静電容量の場合、C<sub>s</sub>を含めた飽和時の電子数が $2 \times 10^6 e^-$ となって、120dBのダイナミックレンジを実現できる。

[0131] (実施例2)

本発明のCMOSイメージセンサにおいて、上記のトレンチ型蓄積容量素子を適用した場合に達成できるダイナミックレンジをシミュレーションにより求めた。

図30はトレンチ型蓄積容量素子を採用した場合の画素の概略平面図である。

各画素(Pixel)はフォトダイオードPD、ピクセル回路PCおよびトレンチ型の蓄積容

量素子Capから構成されている。

ここで、各画素の一辺が $5\text{ }\mu\text{m}$ 程度であると想定すると、トレンチ型蓄積容量素子の平面図上の長さは長くても $4\text{ }\mu\text{m} \times 2$ 程度となる。

[0132] 図31は想定したトレンチ型蓄積容量素子の大きさを説明する模式図である。

n型半導体基板10のp型ウェル11内にトレンチTCが形成され、トレンチTCの内壁に下部電極となるp型半導体領域19が形成され、と、トレンチTCの内壁を被覆して酸化シリコンの容量絶縁膜25が形成され、容量絶縁膜25を介してトレンチTCを埋め込んで上部電極40が形成された構成である。

ここで、長さLは上記の通り $4\text{ }\mu\text{m} \times 2$ とする。

さらに、トレンチの深さDを $2\text{ }\mu\text{m}$ 、酸化シリコン(誘電率3.9)の容量絶縁膜25の膜厚 $t_{\text{ox}}$ を7nmとすると、トレンチの側面のみを考慮した場合、容量が160fF、飽和時の電子数が $5 \times 10^5 \text{ e}^-$ となって、100~108dBのダイナミックレンジを実現できる。

[0133] (実施例3)

本発明のCMOSイメージセンサにおいて、上記のプレーナ型蓄積容量素子を適用した場合に達成できるダイナミックレンジを求めた。

図32はプレーナ型蓄積容量素子を採用した場合の画素のレイアウト図である。

フォトダイオードPD、フローティング領域FD、蓄積容量素子 $C_s$ およびその他のピクセル回路を配置して、図32のレイアウトを得た。

画素の一辺は $8.2\text{ }\mu\text{m}$ であり、プレーナ型蓄積容量素子の容量絶縁膜を7nmの膜厚の酸化シリコンとすると $C_s = 38\text{ fF}$ を得た。このとき、 $C_{\text{FD}} = 4.2\text{ fF}$ (フリンジ容量を除く)となり、ダイナミックレンジとして88~96dBを得た。

[0134] (実施例4)

本発明のCMOSイメージセンサにおいて、一片が $3\text{ }\mu\text{m}$ の画素のフォトダイオードPDの面積が開口率で25%とし、さらにフォトダイオードPDにマイクロレンズを組み込んで実質開口率80%となった画素を想定する。

ここで、フォトダイオードPDから溢れる光電子を蓄積する蓄積容量素子として、 $64\text{ fF}$ と $640\text{ fF}$ の2種を設定し、両者において、フォトダイオードPDが飽和する前と飽和した後での出力(V)と光量(lux)の線型性をシミュレーションで求めた。

図33-1はフォトダイオードPDが飽和する前の出力(V)を光量(lux)に対してプロットした図であり、飽和前であるので蓄積容量素子が64fFと640fFのどちらの場合も一致し、出力(V)と光量(lux)の相関は高い線型性を有することが確認された。

また、図33-2は飽和後の出力(V)を光量(lux)に対してプロットした図であり、同じ光量の場合、蓄積容量素子が640fFの方が64fFよりも低い出力となり、出力が飽和してしまうまでの線型性を有する部分が広く取れることができた。

このとき、例えば $10^2$ lux以下では飽和前の出力を採用し、 $10^2$ lux以上では飽和後の出力を採用することで、フォトダイオードPDの飽和前後を繋いで、光量に対して高い線型性を持つ出力を広いレンジで得ることができる。

[0135] その他、本発明に係るCMOSイメージセンサの性能を表1にまとめた。

[0136] [表1]

項目	緒元			
$C_{FD}$	$3.2\text{fF}$		$6.4\text{fF}$	
$C_s$	$32\text{fF}$	$320\text{fF}$	$64\text{fF}$	$640\text{fF}$
画素サイズ	$\leq 5 \mu\text{m}$			
PD サイズ	$\leq 3 \mu\text{m}$			
入力換算感度	$50 \mu\text{V/e}^-$		$25 \mu\text{V/e}^-$	
$C_{FD}$ 飽和電荷量	$1 \times 10^4 \text{e}^-$		$2 \times 10^4 \text{e}^-$	
飽和電圧	$500\text{mV}_{\min} @ C_{FD}, C_s$			
飽和電荷量	$1 \times 10^5 \text{e}^-$	$1 \times 10^6 \text{e}^-$	$2 \times 10^5 \text{e}^-$	$2 \times 10^6 \text{e}^-$
ダイナミックレンジ	88dB	106dB	100dB	120dB

[0137] 本発明は上記の説明に限定されない。

例えば、実施形態においては、固体撮像装置について説明しているが、これに限ら

ず、各固体撮像装置の画素を直線状に配したラインセンサや、各固体撮像装置の画素をそのまま単独で構成することで得られる光センサについても、従来には得られなかった広ダイナミックレンジ化と高感度、高S/N比を達成することができる。

また、蓄積容量素子の形状などは特に限定ではなく、DRAMのメモリ蓄積容量素子などで容量を高めるためにこれまでに開発された種々の方法を採用することができる。

固体撮像装置としては、フォトダイオードとフォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが転送トランジスタを介して接続されている構成であればよく、CMOSイメージセンサの他、CCDにも適用することができる。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

### 産業上の利用可能性

[0138] 本発明の固体撮像装置は、デジタルカメラやカメラ付き携帯電話などに搭載されるCMOSイメージセンサやCCDイメージセンサなどの広いダイナミックレンジが望まれているイメージセンサに適用できる。

本発明のラインセンサは広いダイナミックレンジが望まれているラインセンサに適用できる。

本発明の光センサは広いダイナミックレンジが望まれている光センサに適用できる。

本発明の固体撮像装置の動作方法は広いダイナミックレンジが望まれているイメージセンサの動作方法に適用できる。

## 請求の範囲

- [1] 光を受光して光電荷を生成するフォトダイオードと、  
前記光電荷を転送する転送トランジスタと、  
少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、  
蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジス  
タを通じて蓄積する蓄積容量素子と  
を有する画素がアレイ状に複数個集積された固体撮像装置。
- [2] 前記転送トランジスタと前記蓄積容量素子の間に、  
前記転送トランジスタを通じて前記光電荷が転送されるフローティング領域と、  
前記フローティング領域と前記蓄積容量素子のポテンシャルを結合または分割する  
蓄積トランジスタと  
をさらに有する請求項1に記載の固体撮像装置。
- [3] 前記フローティング領域に接続して形成され、前記フローティング領域内の光電荷  
を排出するためのリセットトランジスタと、  
前記フローティング領域内の光電荷を電圧信号に増幅変換する増幅トランジスタと  
、  
前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トラン  
ジスタと  
をさらに有する請求項2に記載の固体撮像装置。
- [4] 前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を  
含む  
請求項3に記載の固体撮像装置。
- [5] 前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積  
する対数変換回路を含む  
請求項3に記載の固体撮像装置。
- [6] 前記蓄積容量素子と前記蓄積トランジスタの接続部に接続して形成され、前記蓄  
積容量素子および前記フローティング領域内の光電荷を排出するためのリセットトラ  
ンジスタと、

- 前記フローティング領域内の光電荷を電圧信号に増幅変換する増幅トランジスタと、  
前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタと  
をさらに有する請求項2に記載の固体撮像装置。
- [7] 前記転送トランジスタが、前記転送トランジスタを構成する基板の表面または表面近傍から所定の深さまで形成された前記転送トランジスタのチャネルと同じ導電型の半導体層を有する埋め込みチャネル型である  
請求項1に記載の固体撮像装置。
- [8] 前記転送トランジスタが、前記転送トランジスタを構成する基板の所定の深さにおいて形成され、前記転送トランジスタのチャネルと同じ導電型であり、前記転送トランジスタのパンチスルーの障壁を低減する半導体層を有する  
請求項1に記載の固体撮像装置。
- [9] 前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する  
請求項1に記載の固体撮像装置。
- [10] 前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する  
請求項1に記載の固体撮像装置。
- [11] 前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレチの内壁に形成された下部電極となる半導体領域と、前記トレチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレチを埋め込んで形成された上部電極とを有する  
請求項1に記載の固体撮像装置。
- [12] 第1導電型半導体領域と前記第1導電型半導体領域に接合する第2導電型半導体領域とが前記固体撮像装置を構成する半導体基板の内部に埋め込まれて、前記

蓄積容量素子が構成されている

請求項1に記載の固体撮像装置。

- [13] 前記固体撮像装置を構成する基板が半導体基板上に絶縁膜を介して半導体層が形成されているSOI(Semiconductor on Insulator)基板であり、前記絶縁膜を介して対向する前記半導体基板と前記半導体層の間の絶縁膜容量を用いて前記蓄積容量素子が構成されている
- 請求項1に記載の固体撮像装置。
- [14] 前記フローティング領域または前記フローティング領域および前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する
- 請求項3に記載の固体撮像装置。
- [15] 前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する
- 請求項14に記載の固体撮像装置。
- [16] 前記フローティング領域に転送された光電荷から得られた電圧信号と、前記フローティング領域の前記転送前のレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する
- 請求項6に記載の固体撮像装置。
- [17] 前記フローティング領域および前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する
- 請求項6に記載の固体撮像装置。
- [18] 前記フローティング領域および前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する
- 請求項17に記載の固体撮像装置。
- [19] 前記フォトダイオード内の光電荷を転送する第1電荷結合転送路が前記フォトダイオードに接続して形成され、

前記蓄積容量素子が隣接する画素間で接続されて、前記第1電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第2電荷結合転送路を構成する請求項1に記載の固体撮像装置。

- [20] 前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、  
前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、  
前記蓄積容量素子内の光電荷を電圧信号に増幅変換する増幅トランジスタと、  
前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタと  
をさらに有する請求項1に記載の固体撮像装置。
- [21] 前記画素を構成するトランジスタがnチャネルMOSトランジスタである  
請求項1～20のいずれかに記載の固体撮像装置。
- [22] 前記画素を構成するトランジスタがpチャネルMOSトランジスタである  
請求項1～20のいずれかに記載の固体撮像装置。
- [23] 光を受光して光電荷を生成するフォトダイオードと、  
前記光電荷を転送する転送トランジスタと、  
前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、  
蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と  
を有する画素が直線状に複数個集積されたラインセンサ。
- [24] 光を受光して光電荷を生成するフォトダイオードと、  
前記光電荷を転送する転送トランジスタと、  
前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、  
蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と  
を有する光センサ。
- [25] 光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送ト

ンジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティング領域と、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティング領域とのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、

電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティング領域および前記蓄積容量素子内の光電荷を排出する工程と、

前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程と、

前記蓄積トランジスタをオフとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを分割し、前記フローティング領域内の光電荷を排出する工程と、

前記フローティング領域のリセットレベルの電圧信号を読み出す工程と、

前記転送トランジスタをオンとして前記飽和前電荷を前記フローティング領域に転送し、前記飽和前電荷の電圧信号を読み出す工程と、

前記蓄積トランジスタをオンとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程と

を有する固体撮像装置の動作方法。

[26] 前記飽和前電荷の電圧信号と前記フローティング領域のリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、

基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程と

をさらに有する請求項25に記載の固体撮像装置の動作方法。

- [27] 前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する

請求項25に記載の固体撮像装置の動作方法。

- [28] 光を受光して光電荷を生成するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティング領域と、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティング領域とのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、

電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティング領域および前記蓄積容量素子内の光電荷を排出する工程と、

前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程と、

前記蓄積トランジスタをオフとして、前記フローティング領域と前記蓄積容量素子の

ポテンシャルを分割し、前記フローティング領域の前記飽和前電荷の転送前レベルの電圧信号を読み出す工程と、

前記転送トランジスタをオンとして前記飽和前電荷を前記フローティング領域に転送し、前記飽和前電荷の転送後レベルの電圧信号を読み出す工程と、

前記蓄積トランジスタをオンとして、前記フローティング領域と前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程と

を有する固体撮像装置の動作方法。

[29] 前記飽和前電荷の転送後レベルの電圧信号と前記飽和前信号の転送前レベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と

、  
前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティング領域と前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、

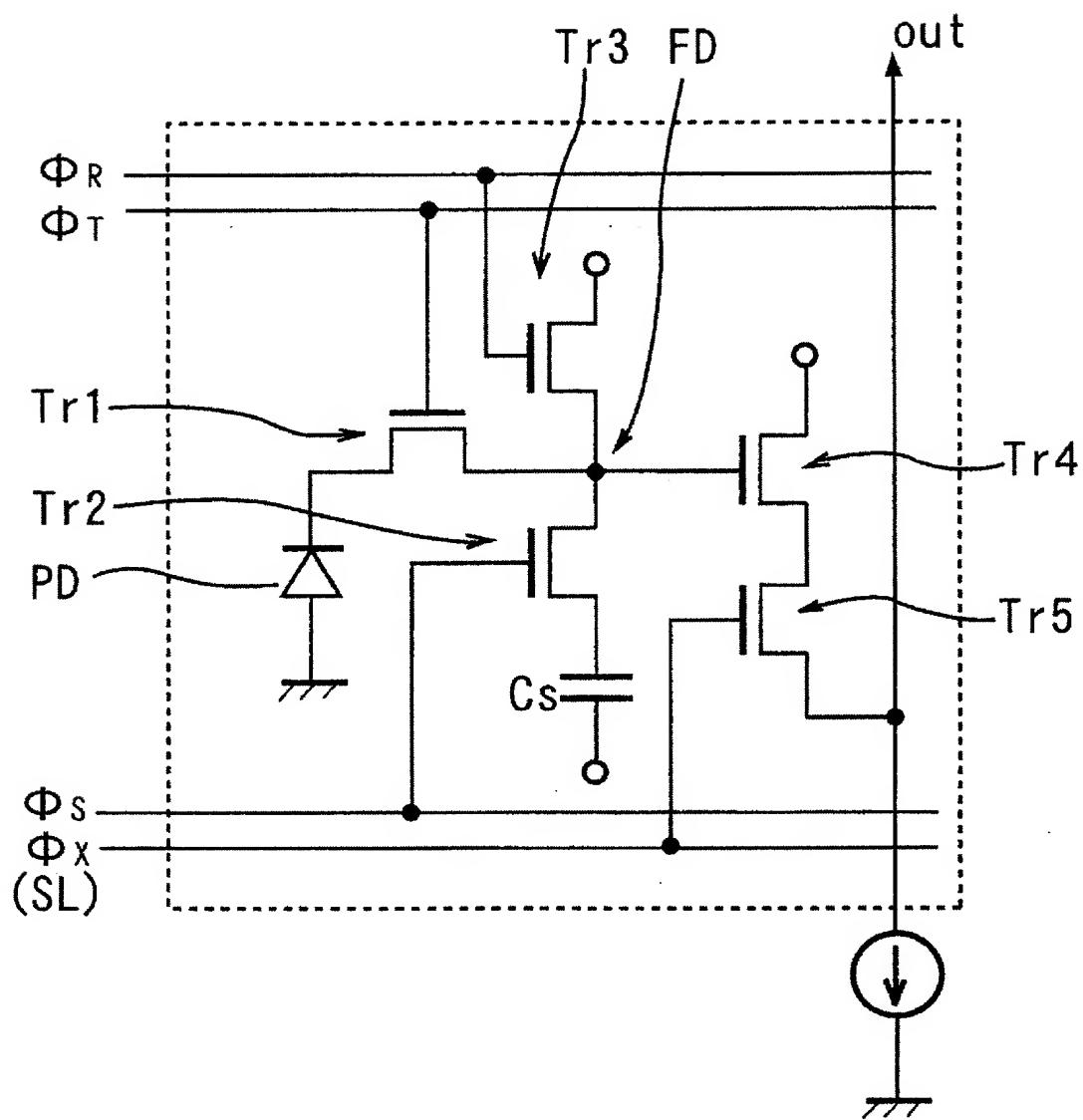
基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程と

をさらに有する請求項28に記載の固体撮像装置の動作方法。

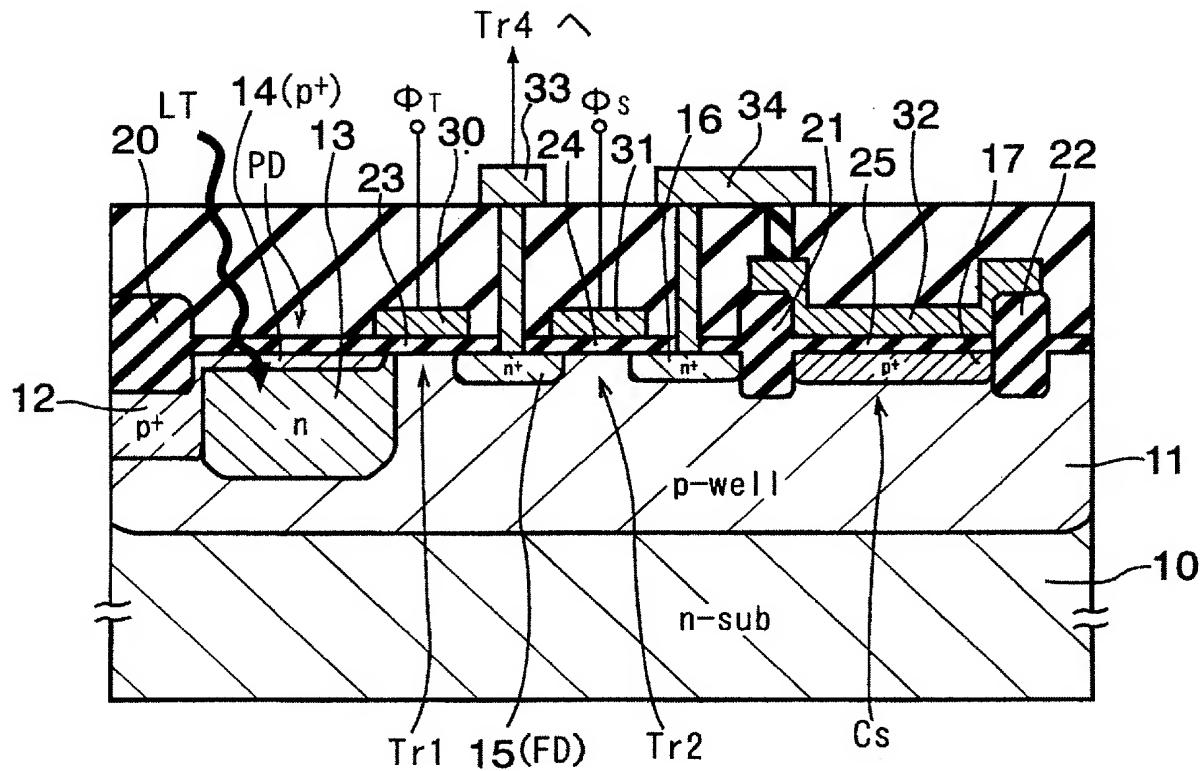
[30] 前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティング領域および前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する

請求項28に記載の固体撮像装置の動作方法。

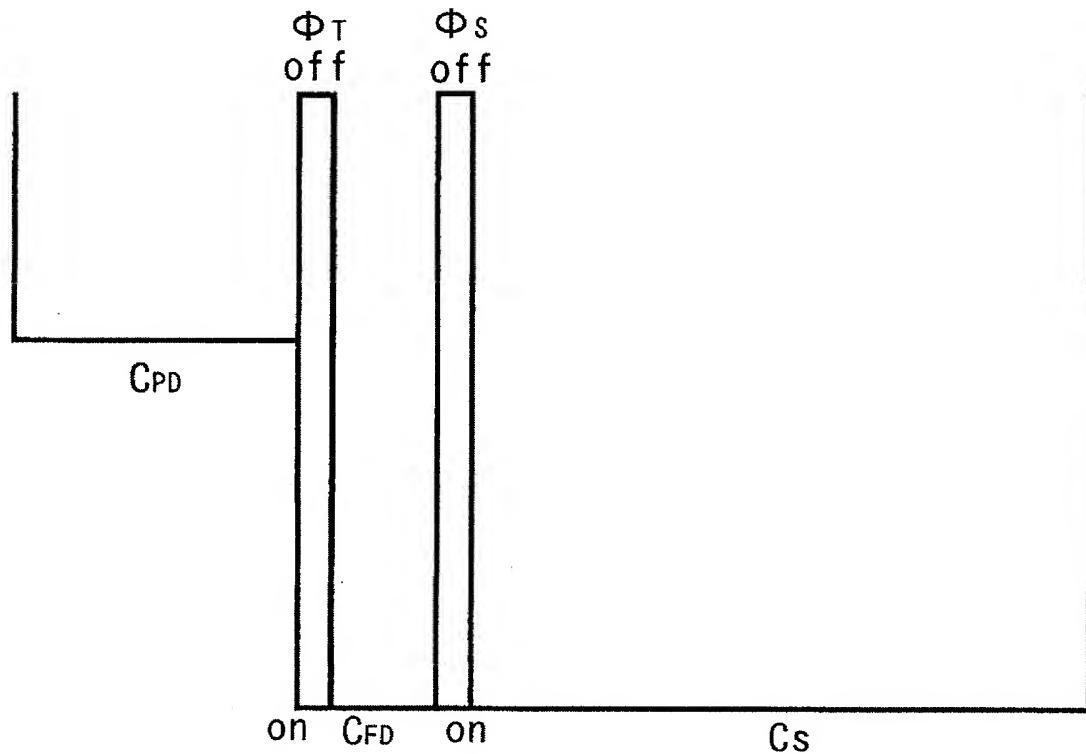
[図1]



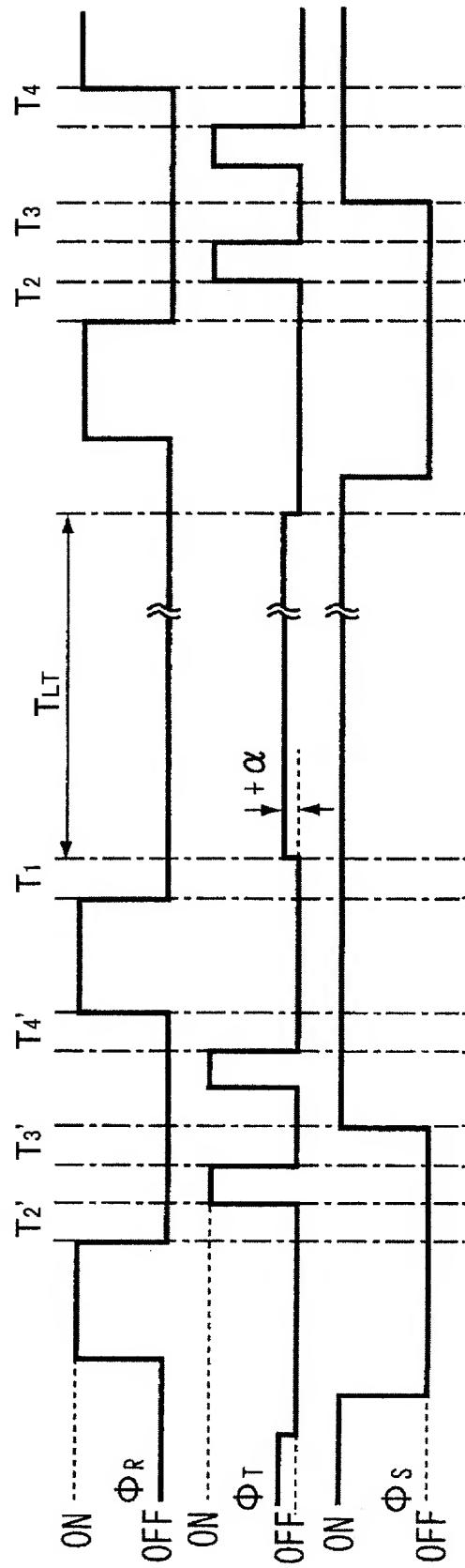
[図2-1]



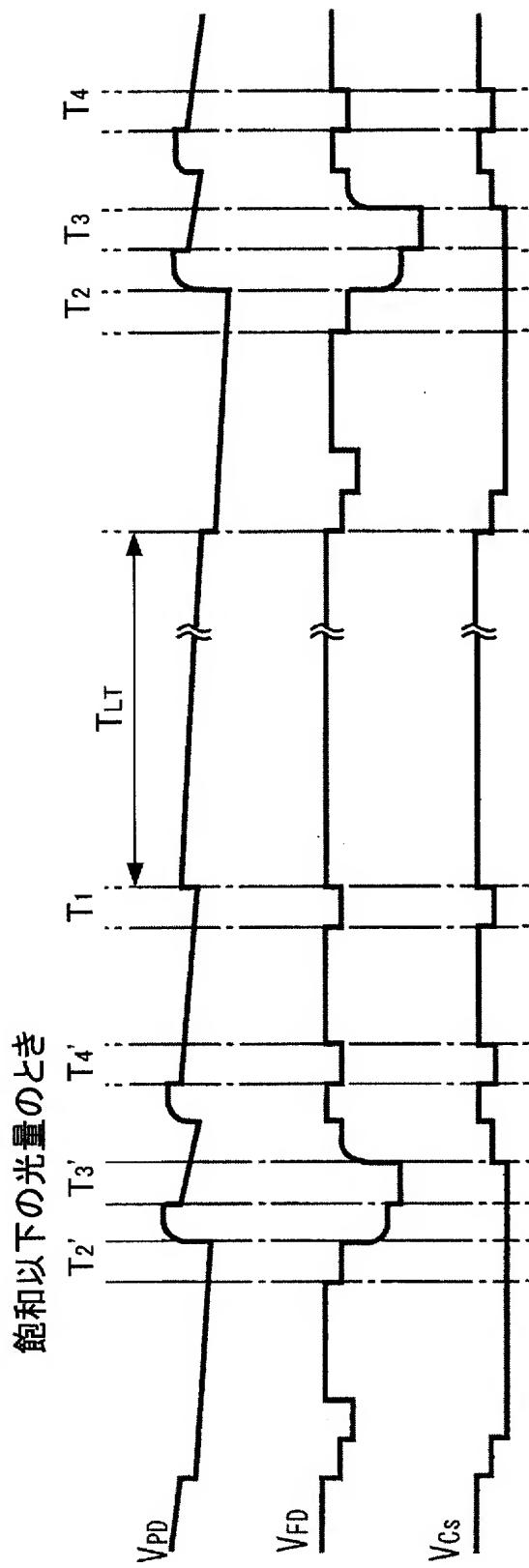
[図2-2]



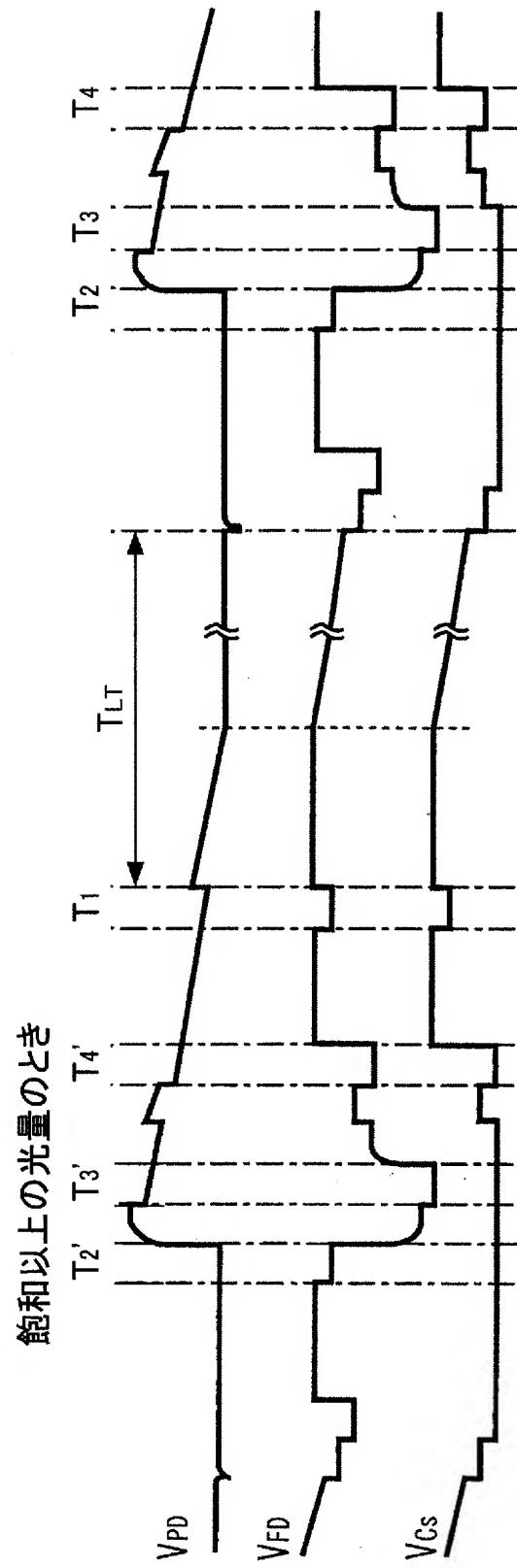
[図3-1]



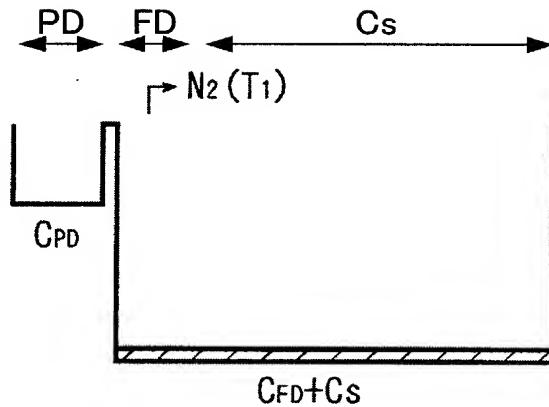
[図3-2]



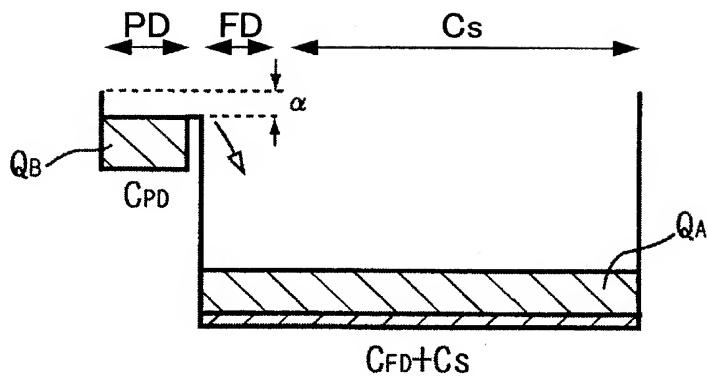
[図3-3]



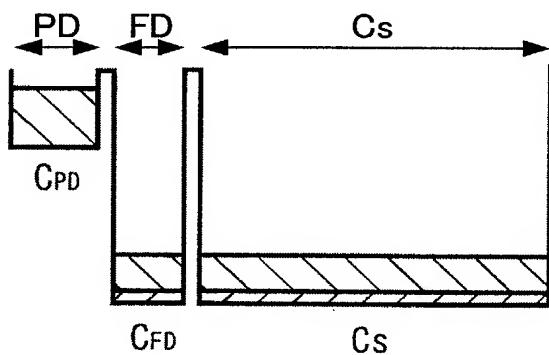
[図4-1]



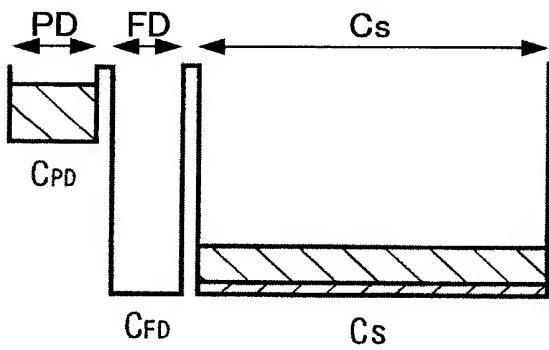
[図4-2]



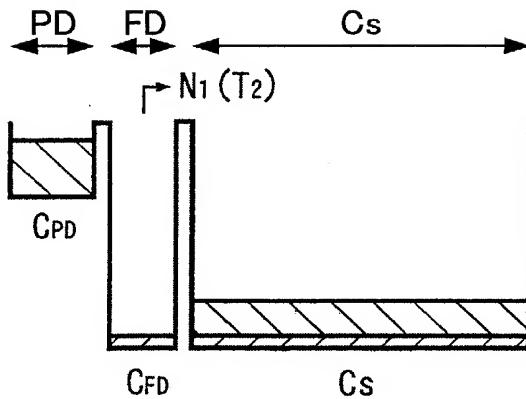
[図4-3]



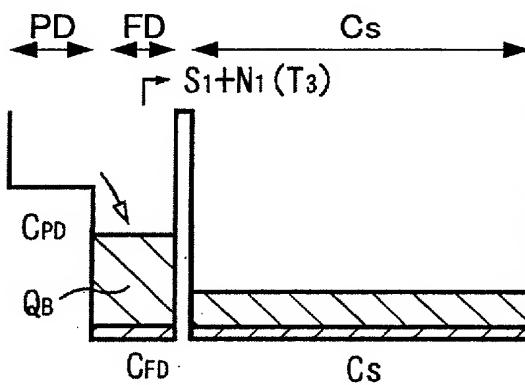
[図4-4]



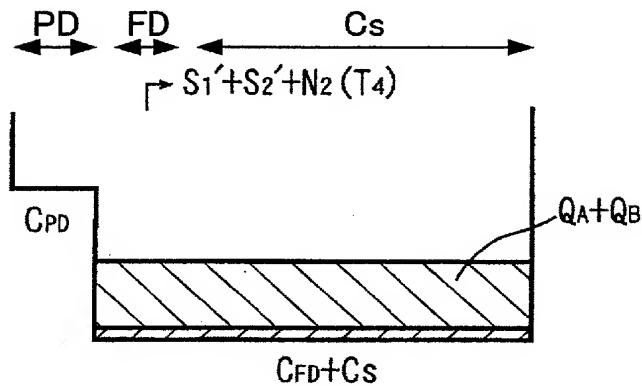
[図5-1]



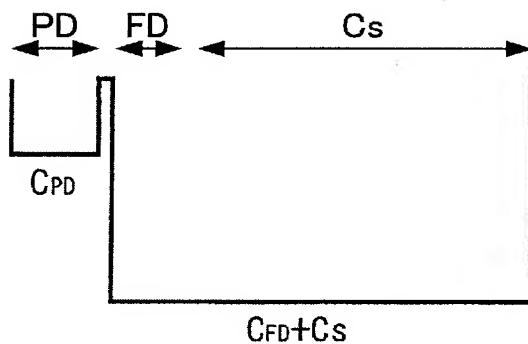
[図5-2]



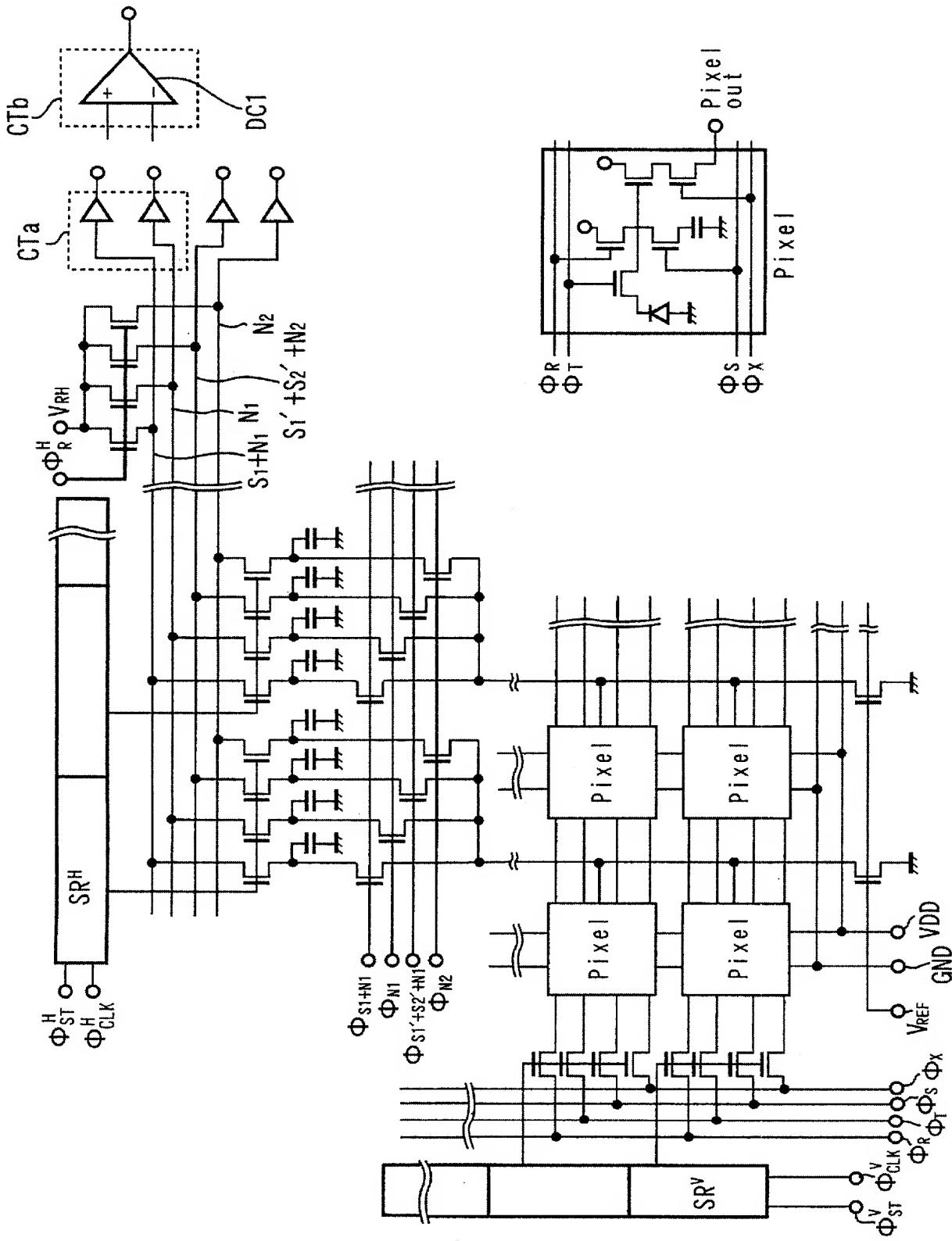
[図5-3]



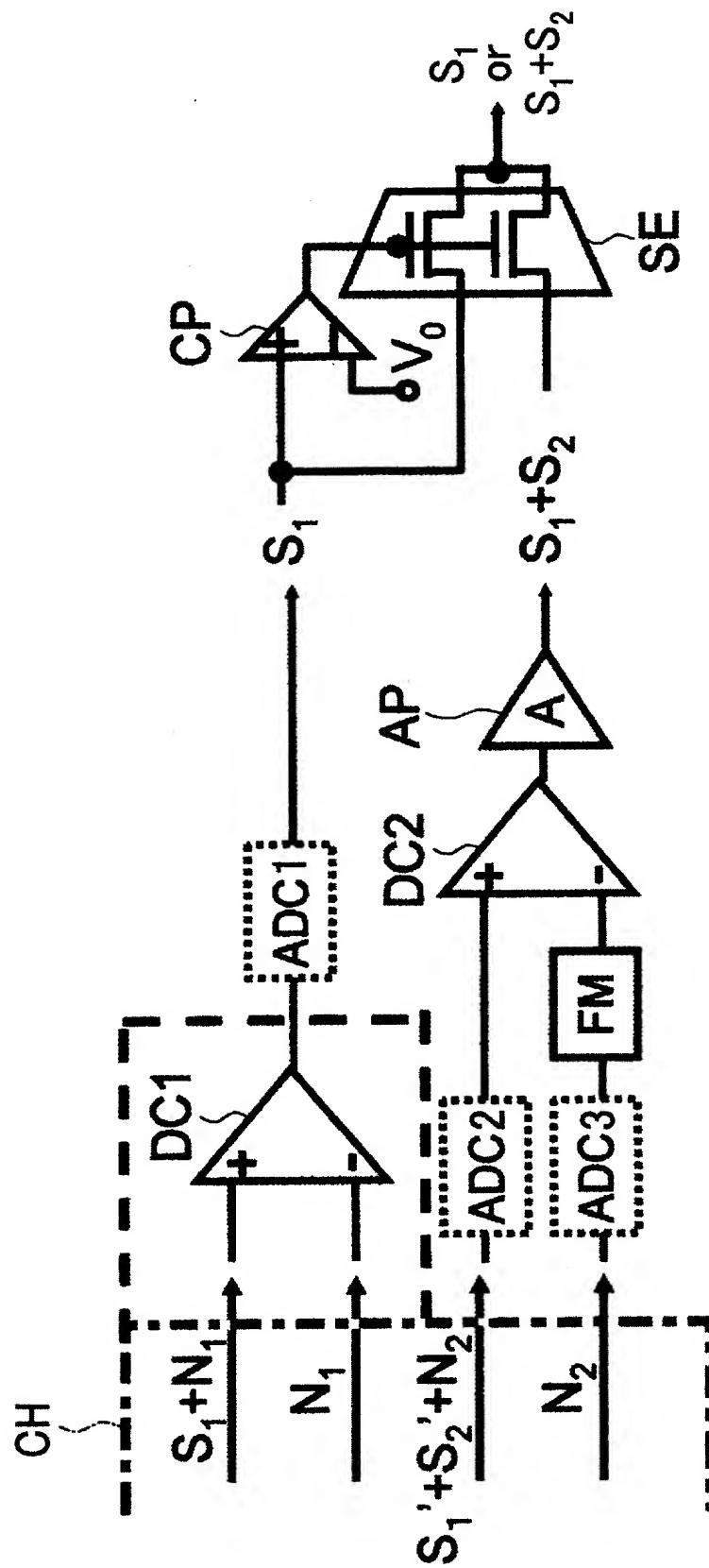
[図5-4]



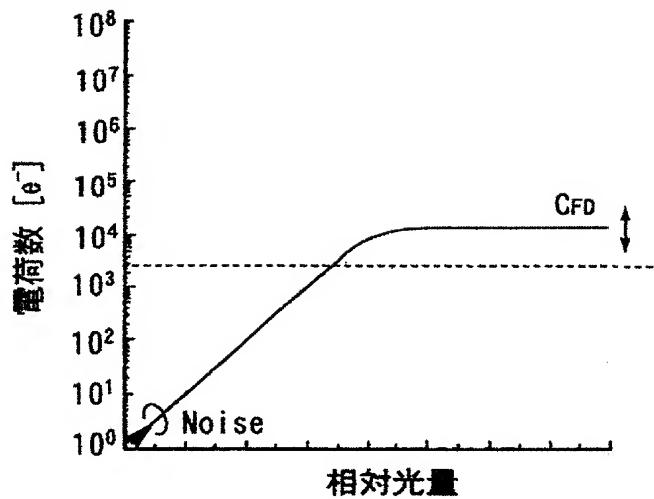
[図6]



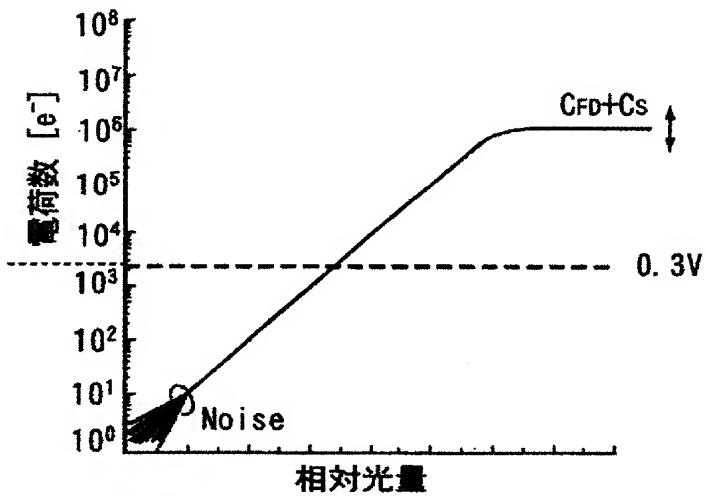
[図7]



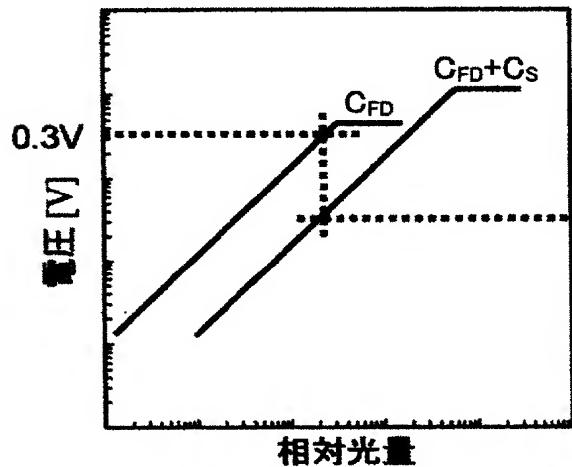
[図8-1]



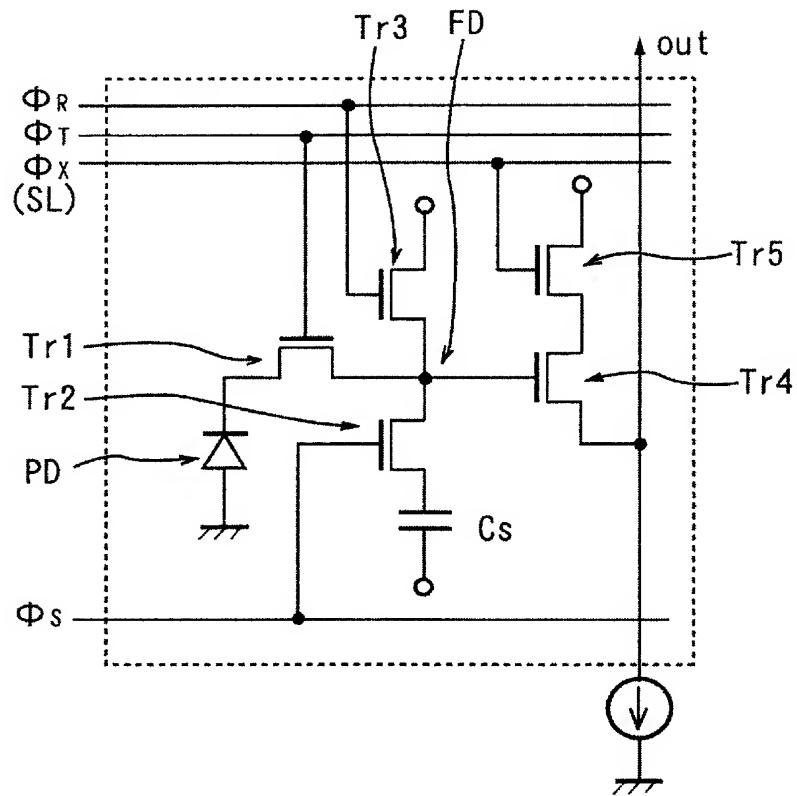
[図8-2]



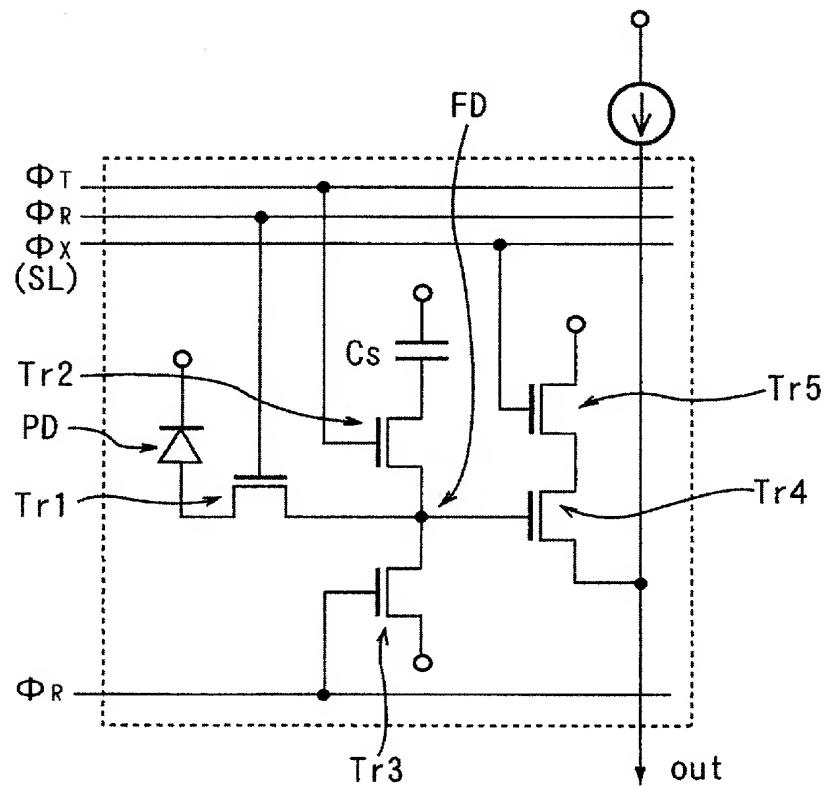
[図8-3]



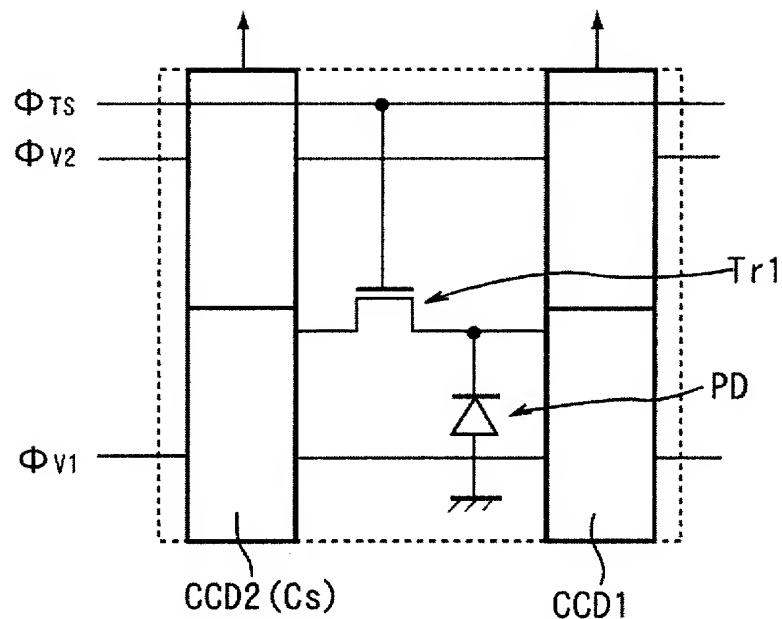
[図9-1]



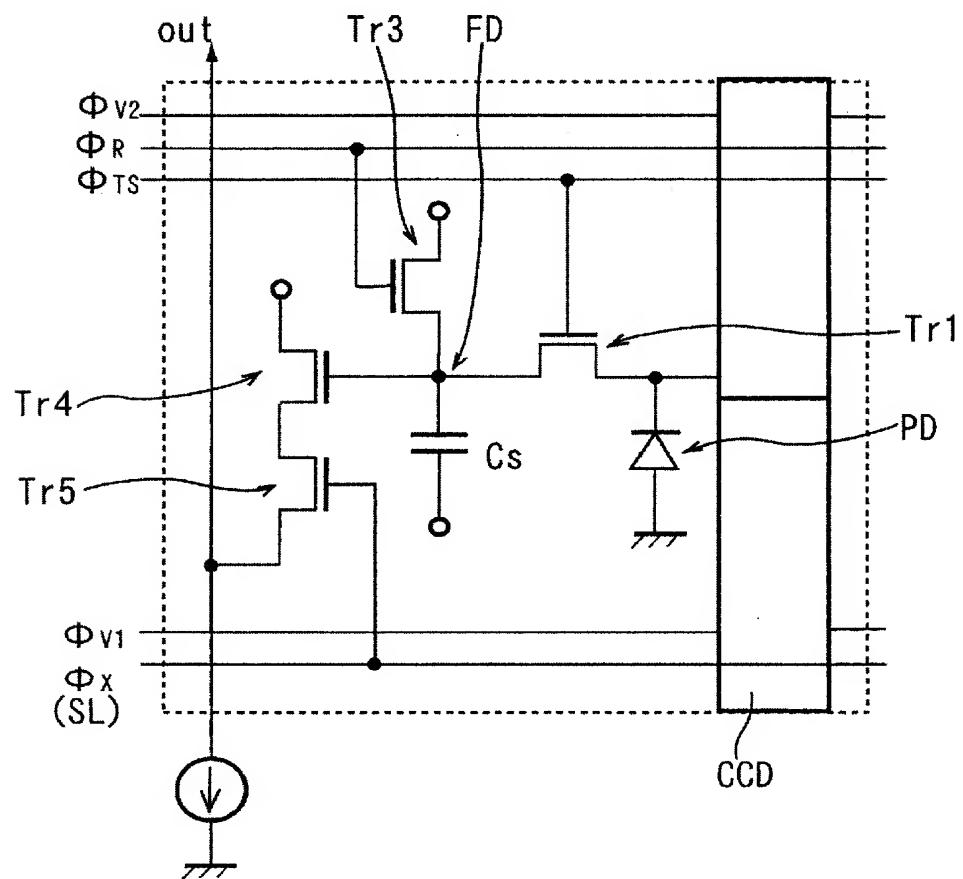
[図9-2]



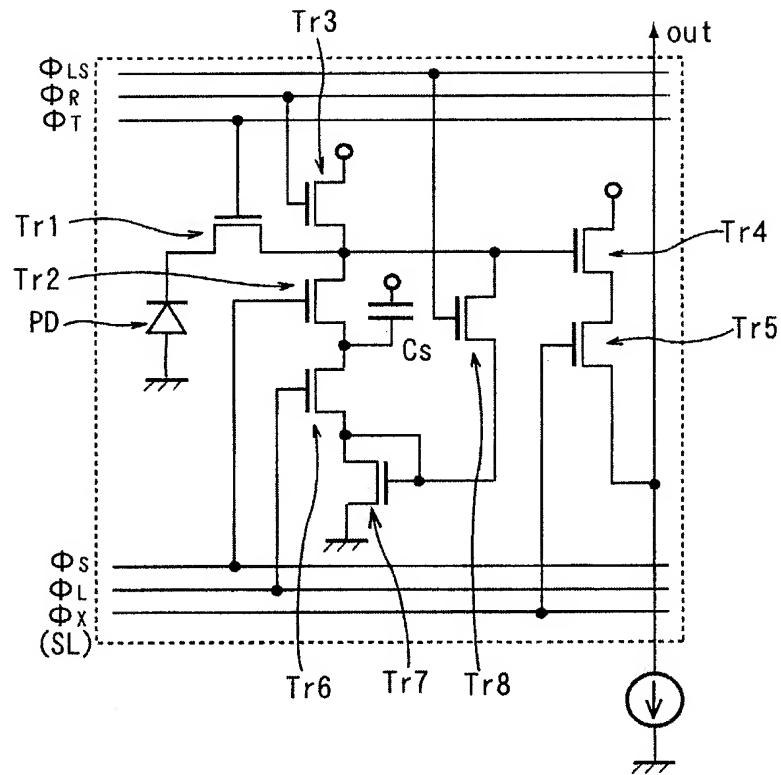
[図10-1]



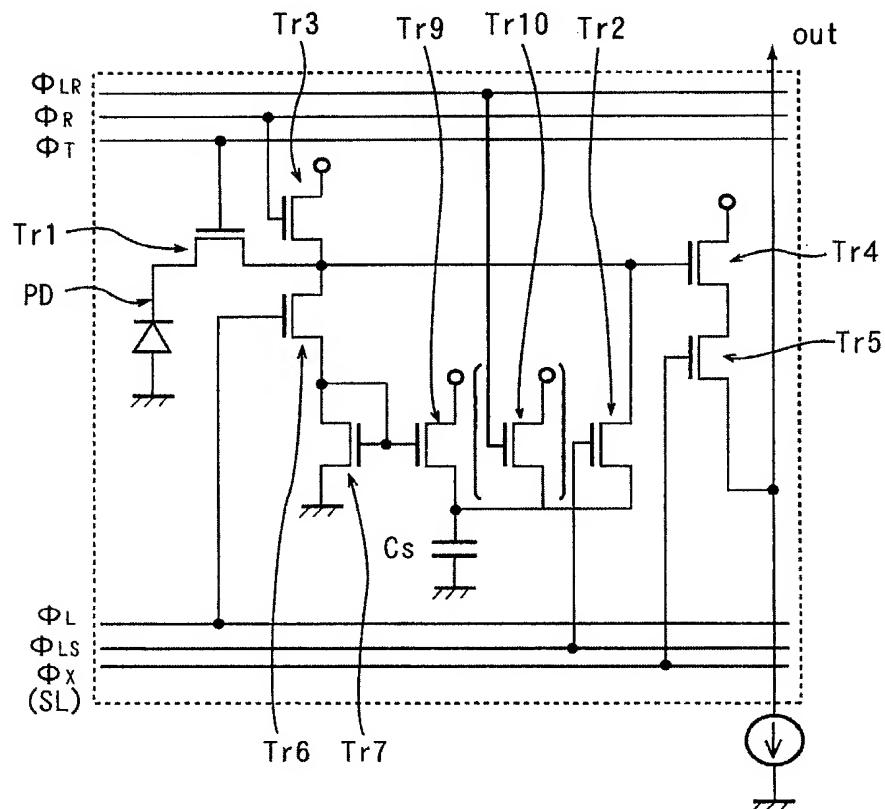
[図10-2]



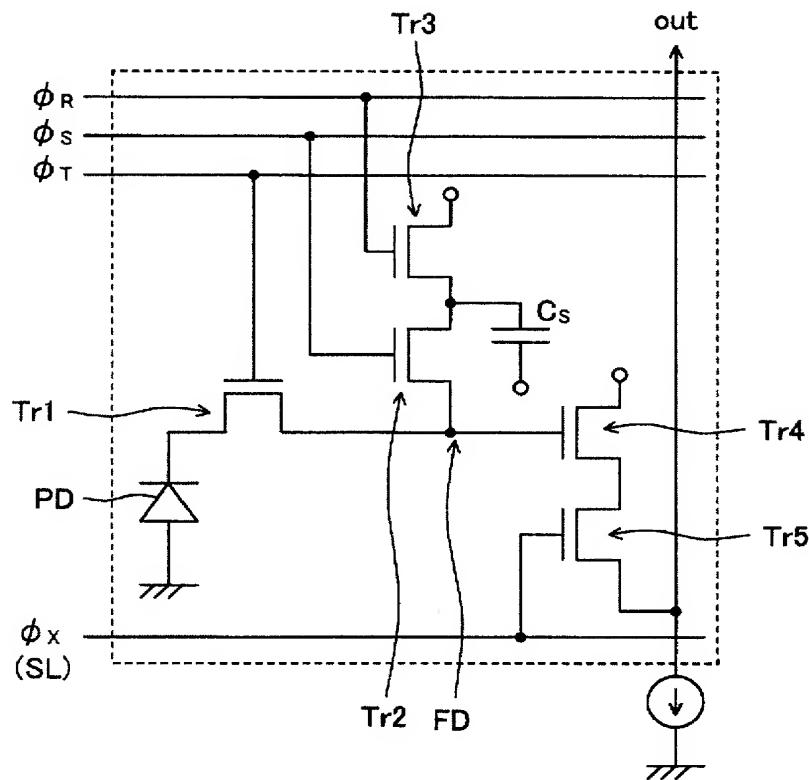
[図11-1]



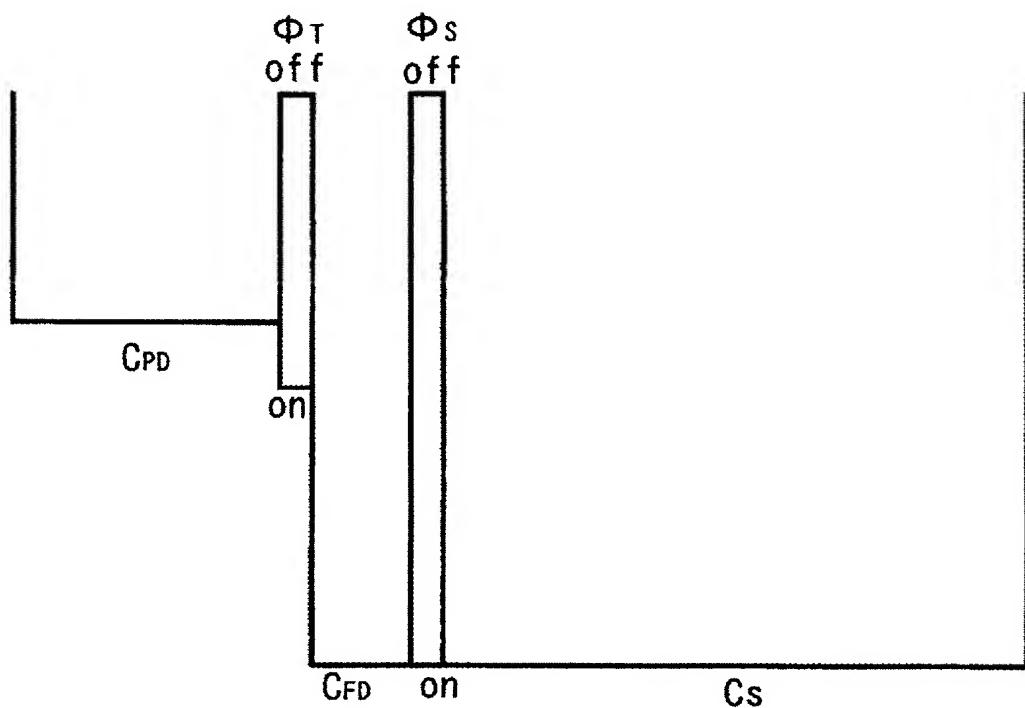
[図11-2]



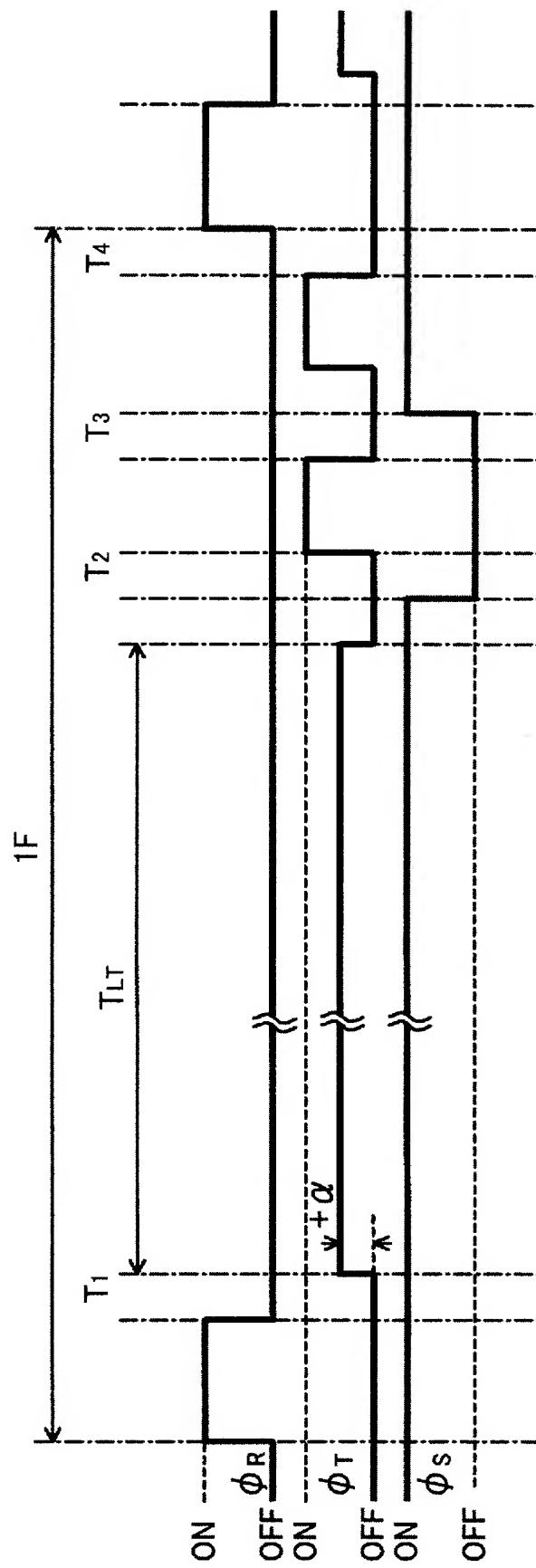
[図12]



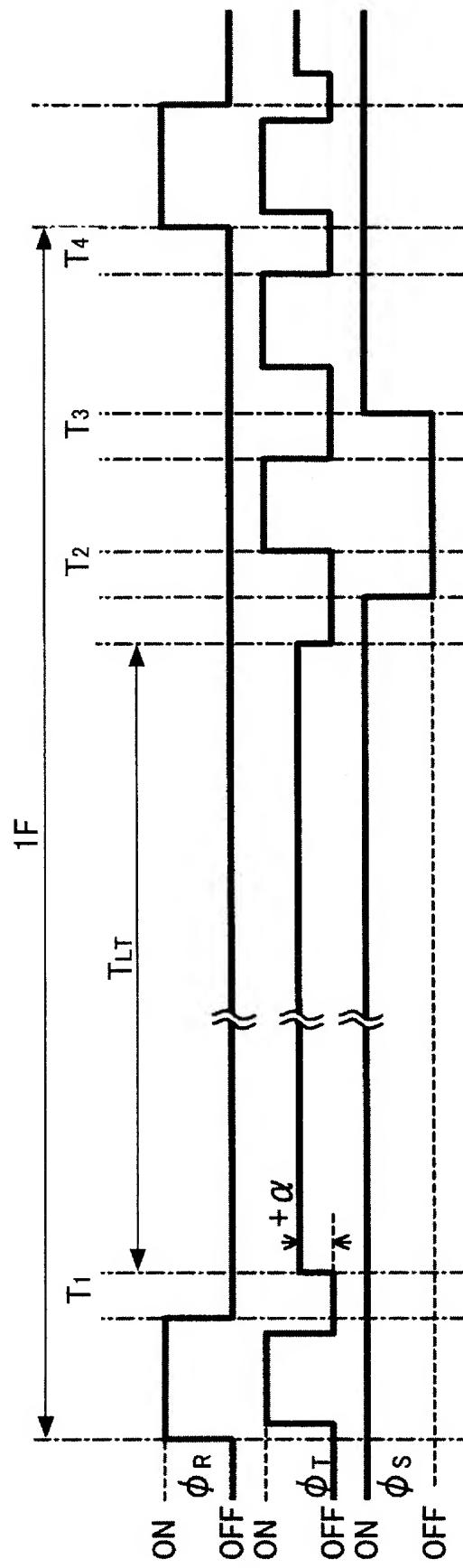
[図13]



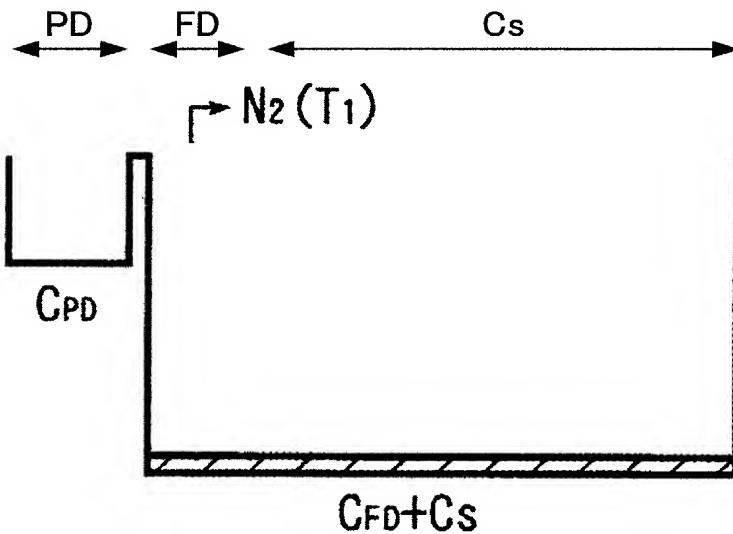
[図14-1]



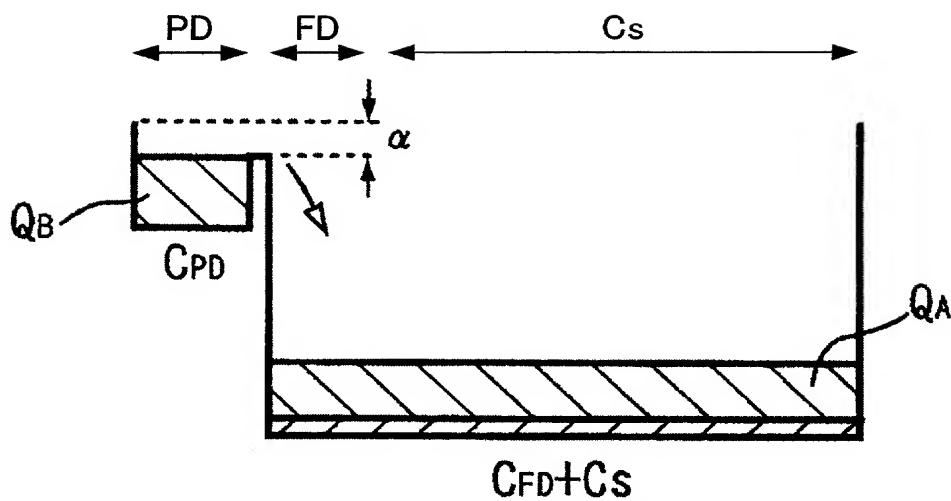
[図14-2]



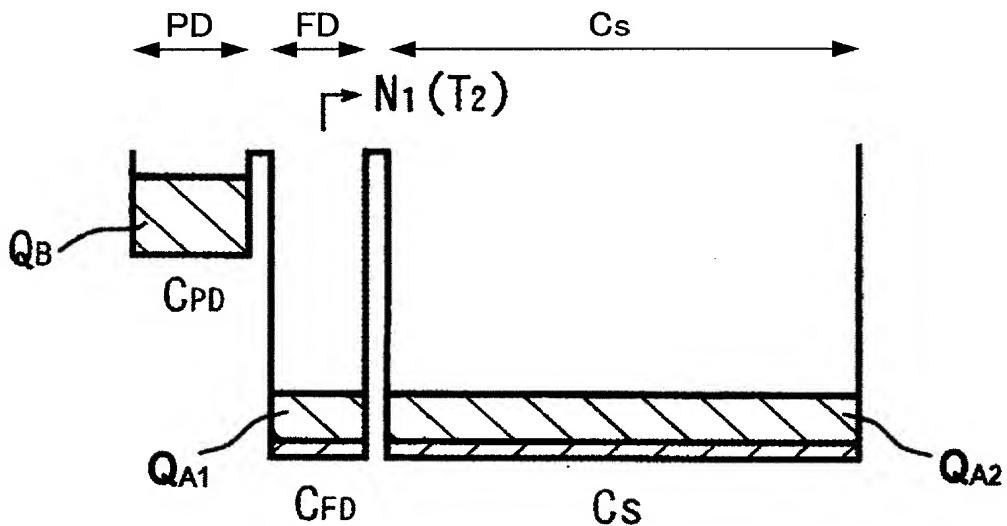
[図15-1]



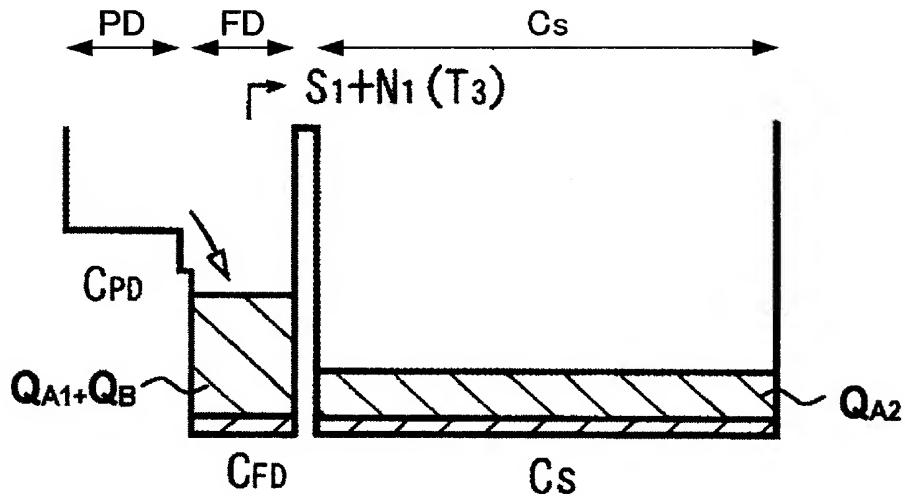
[図15-2]



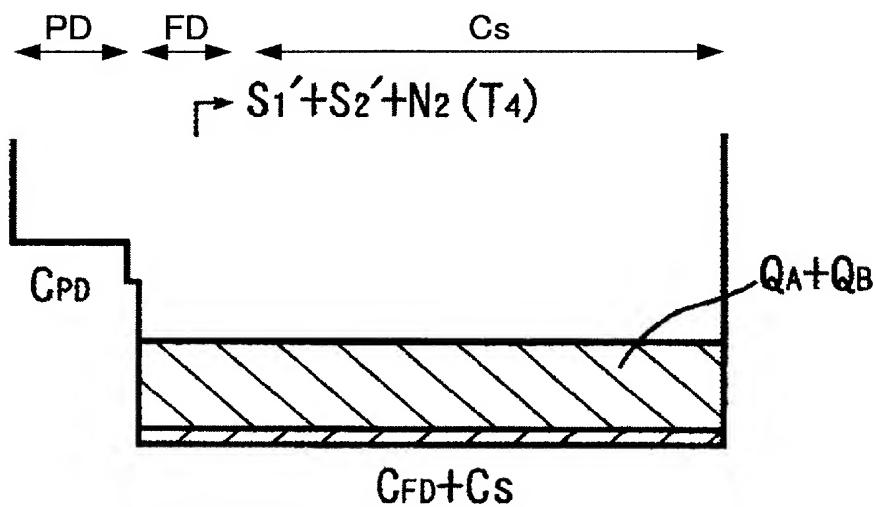
[図15-3]



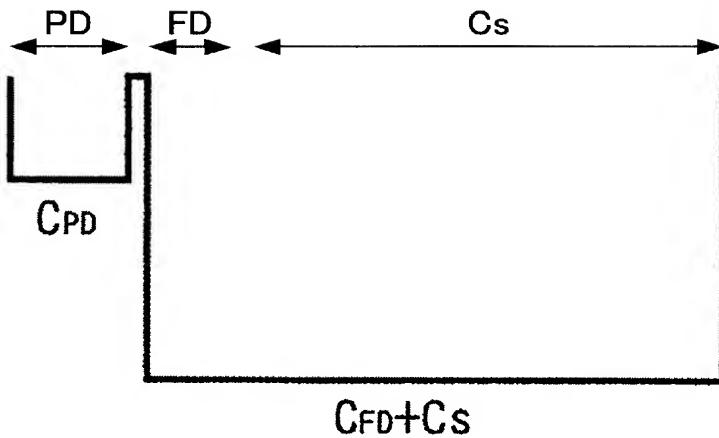
[図16-1]



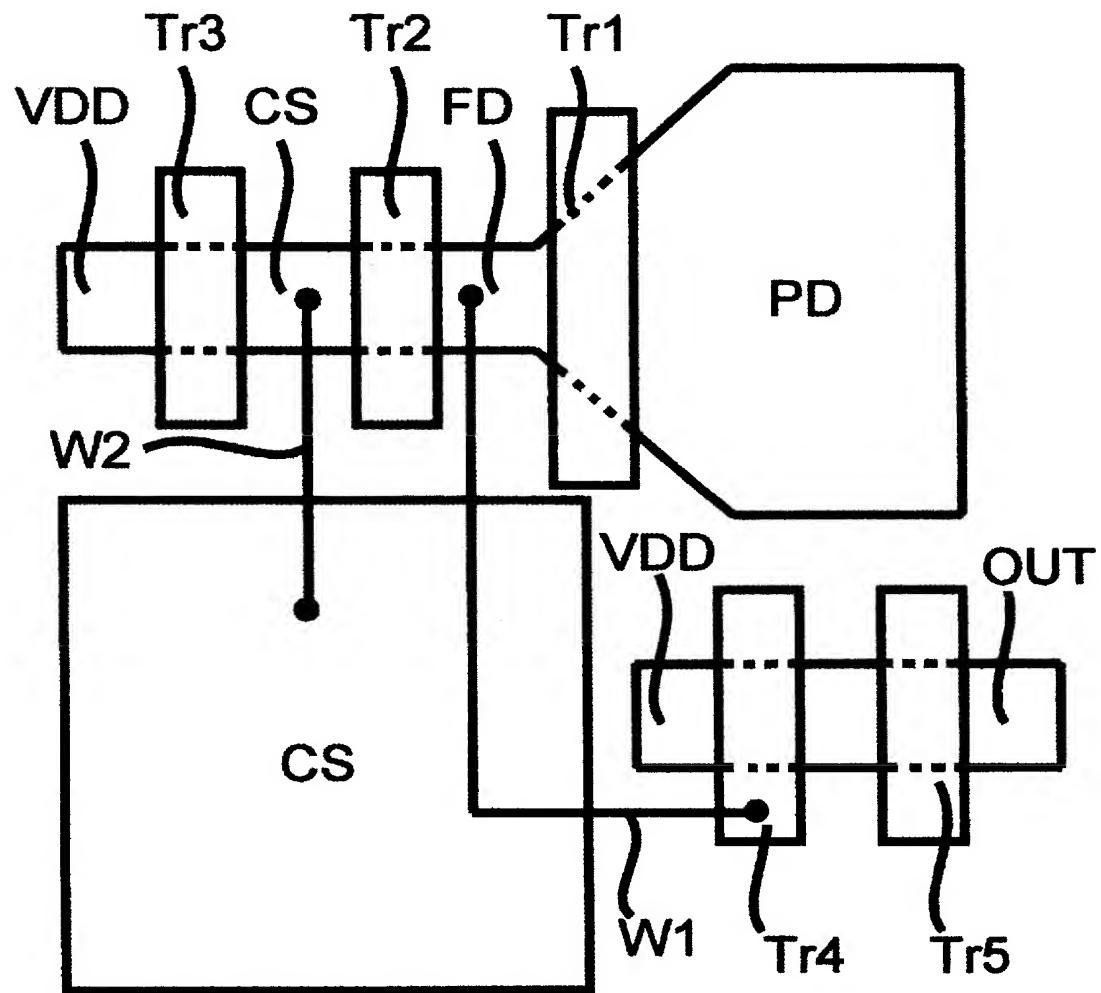
[図16-2]



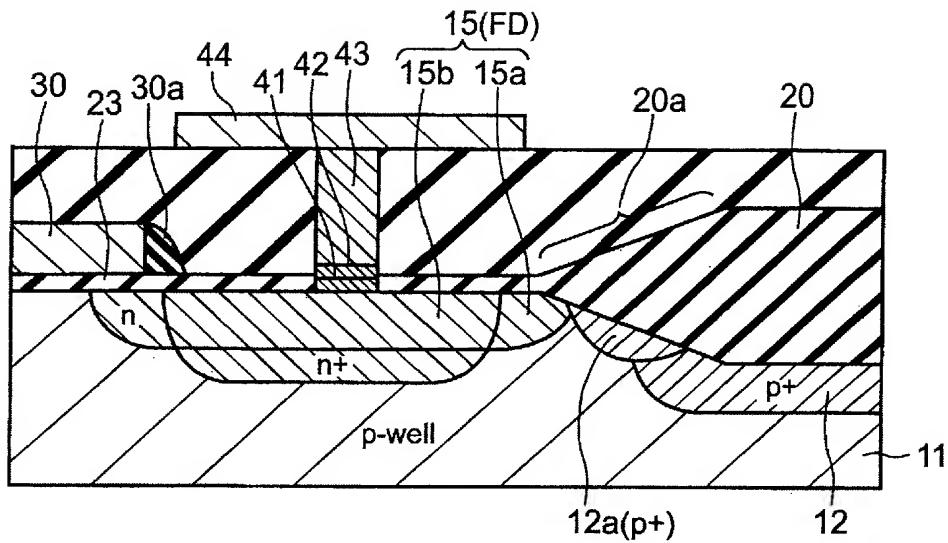
[図16-3]



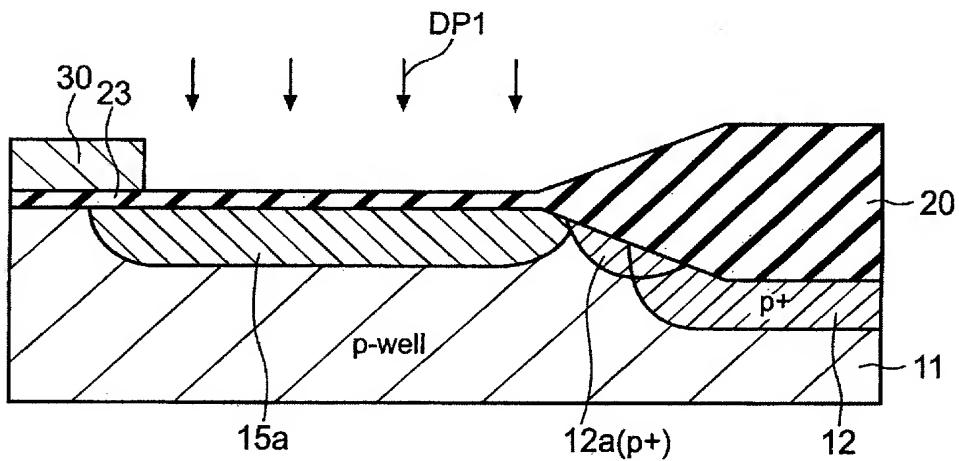
[図17]



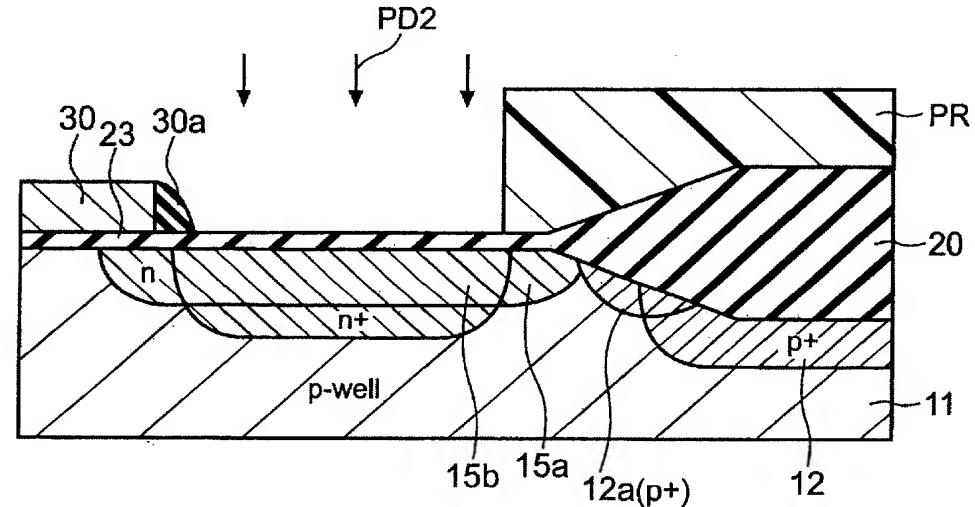
[図18-1]



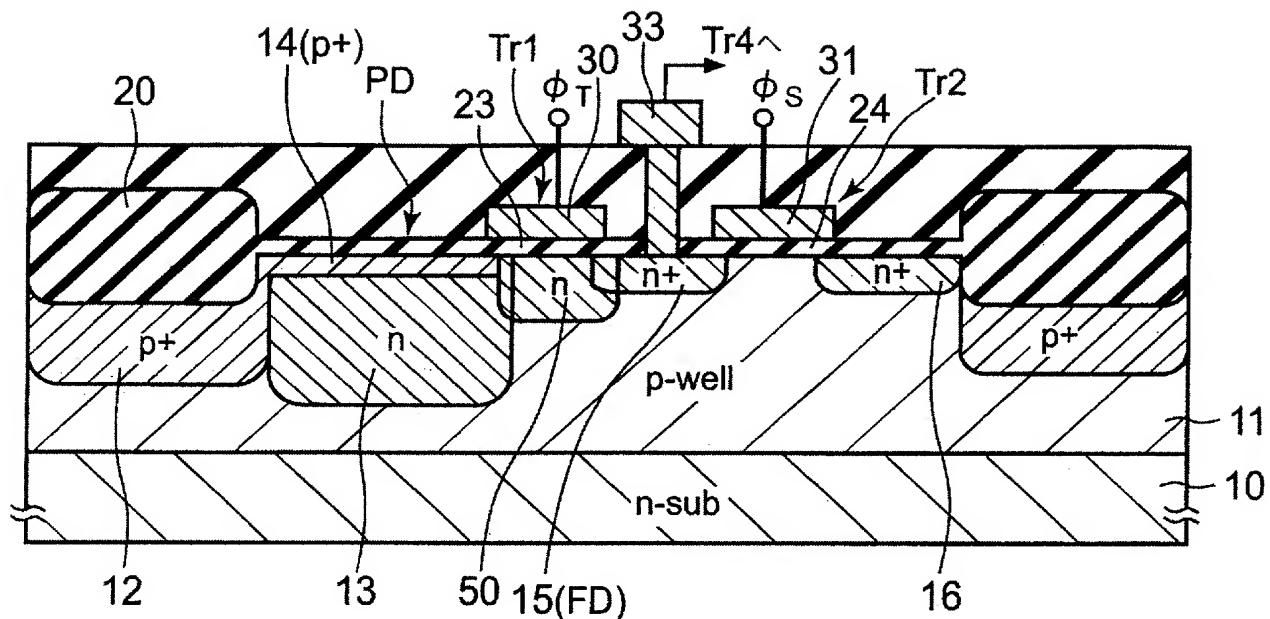
[図18-2]



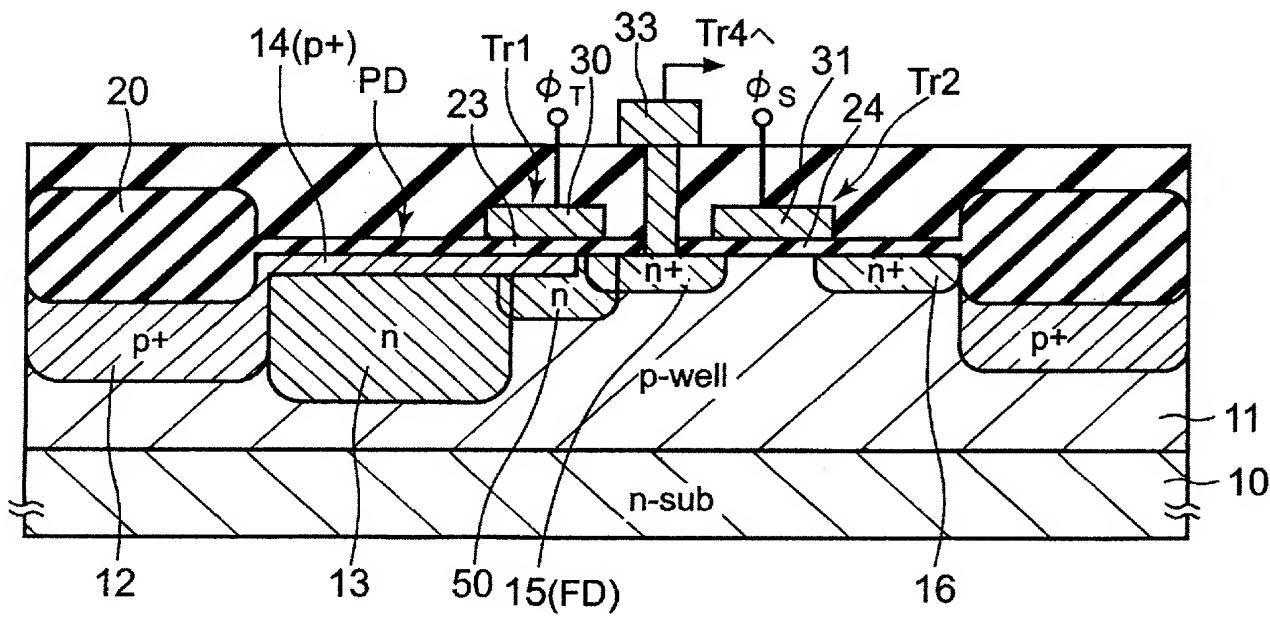
[図18-3]



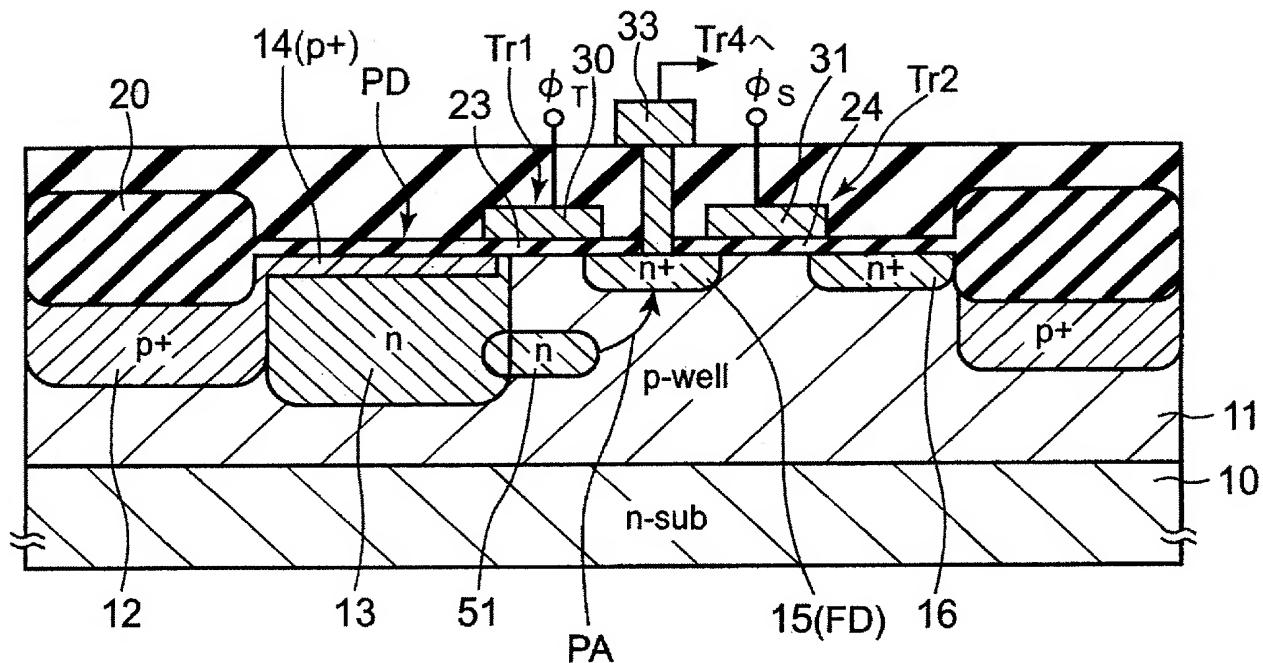
[図19-1]



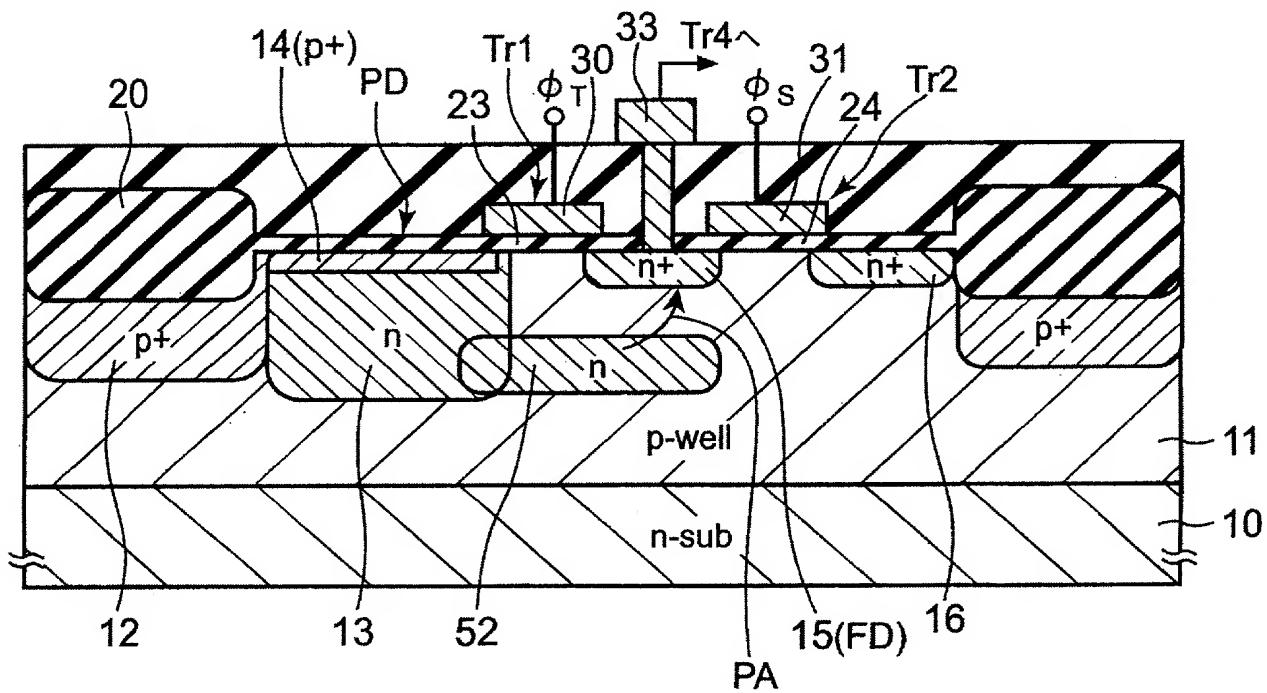
[図19-2]



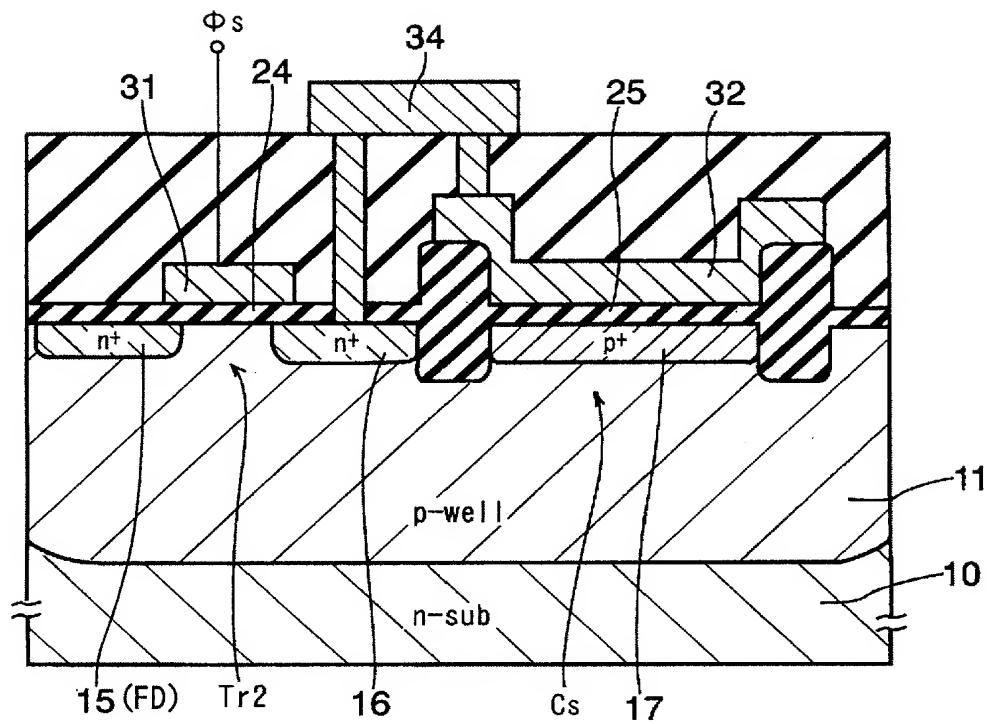
[図20-1]



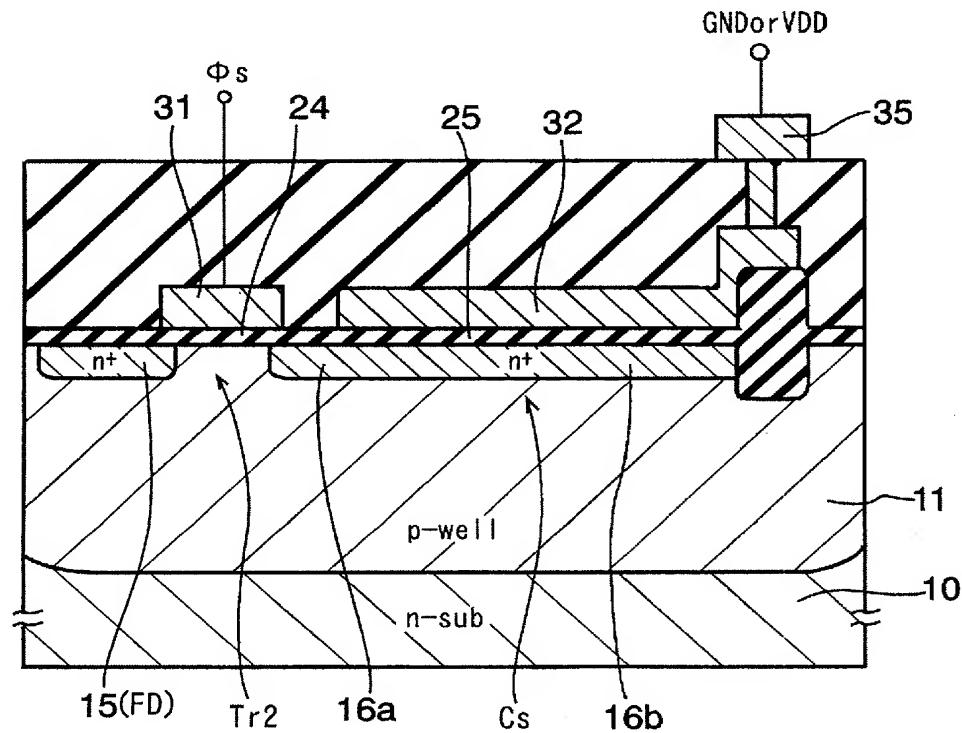
[図20-2]



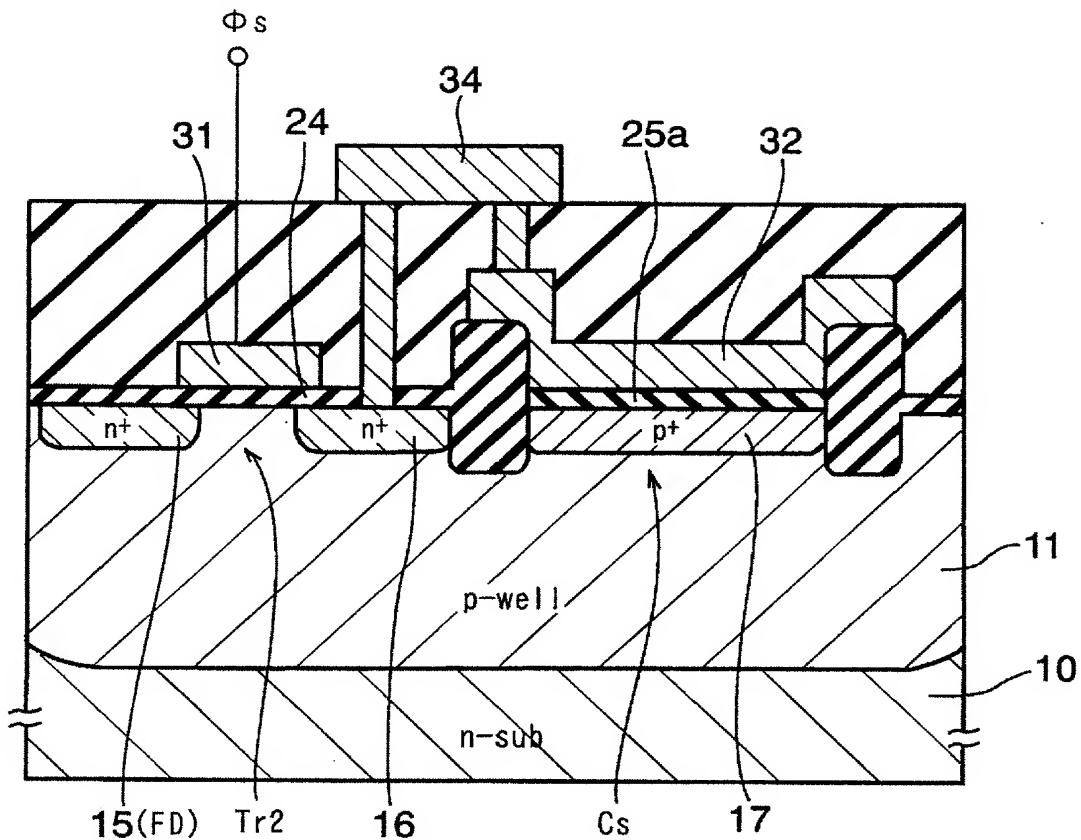
[図21-1]



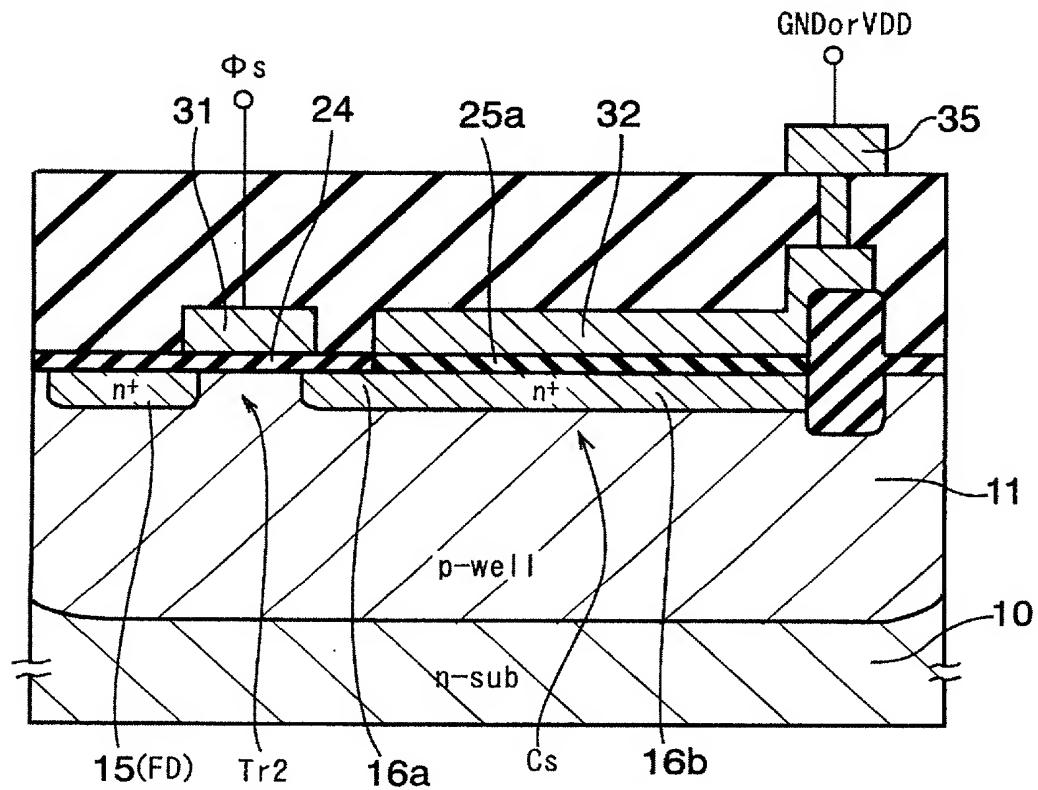
[図21-2]



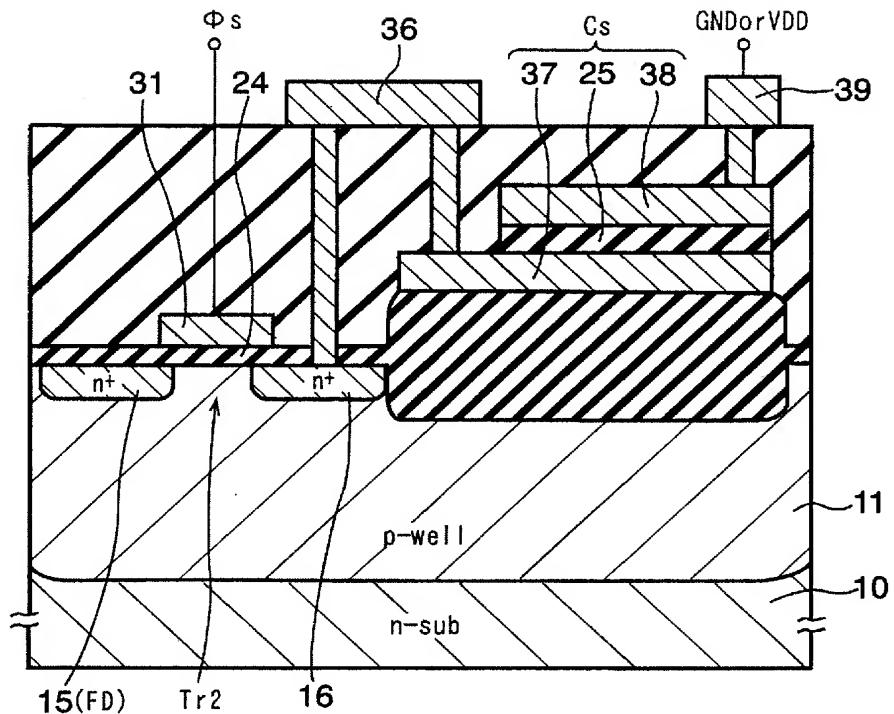
[図22-1]



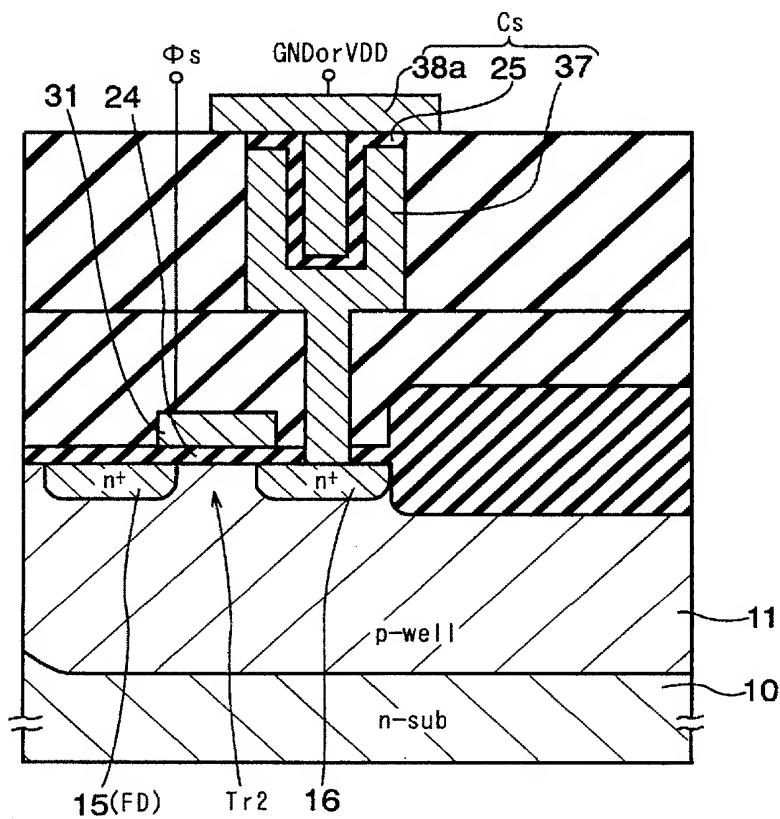
[図22-2]



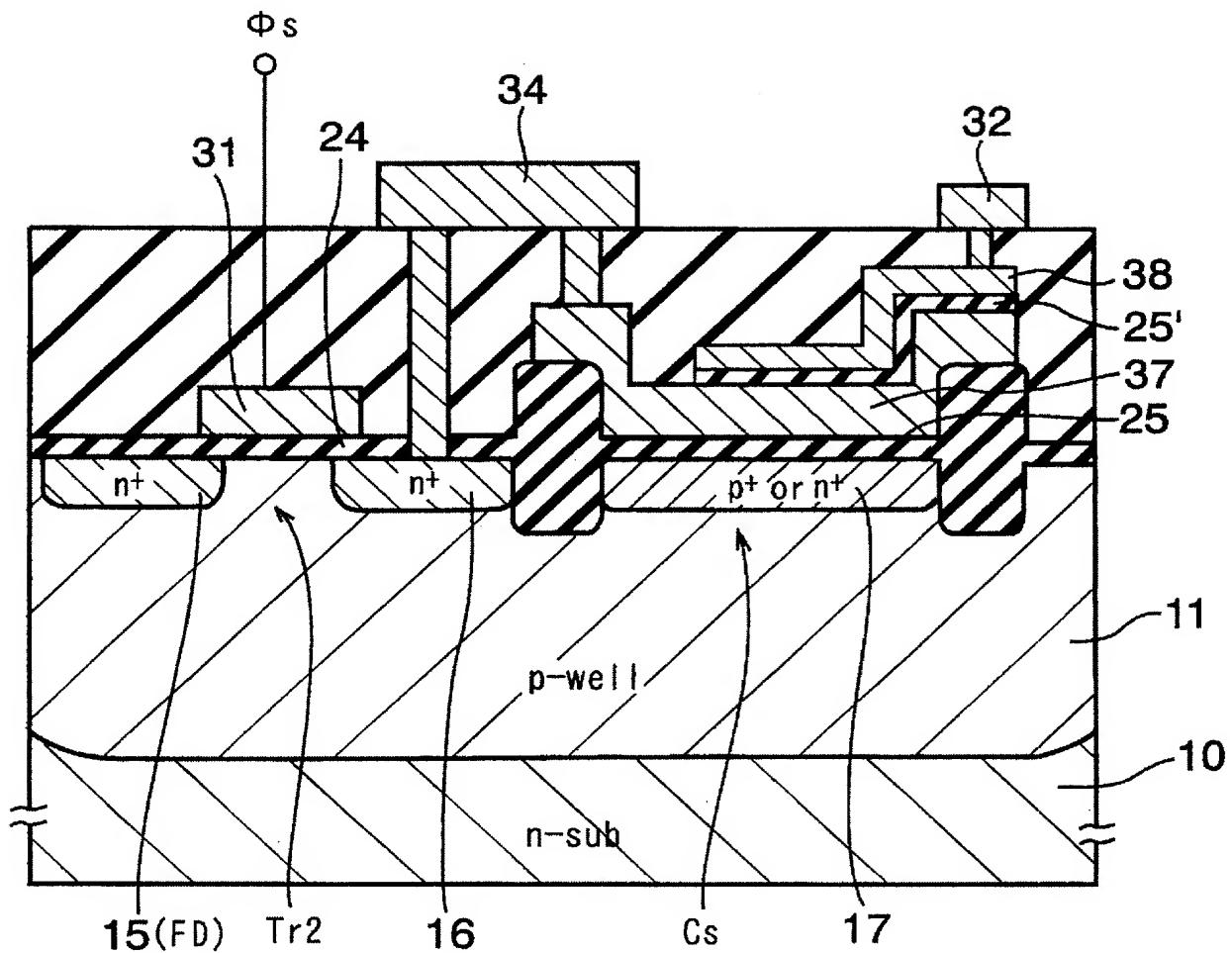
[図23-1]



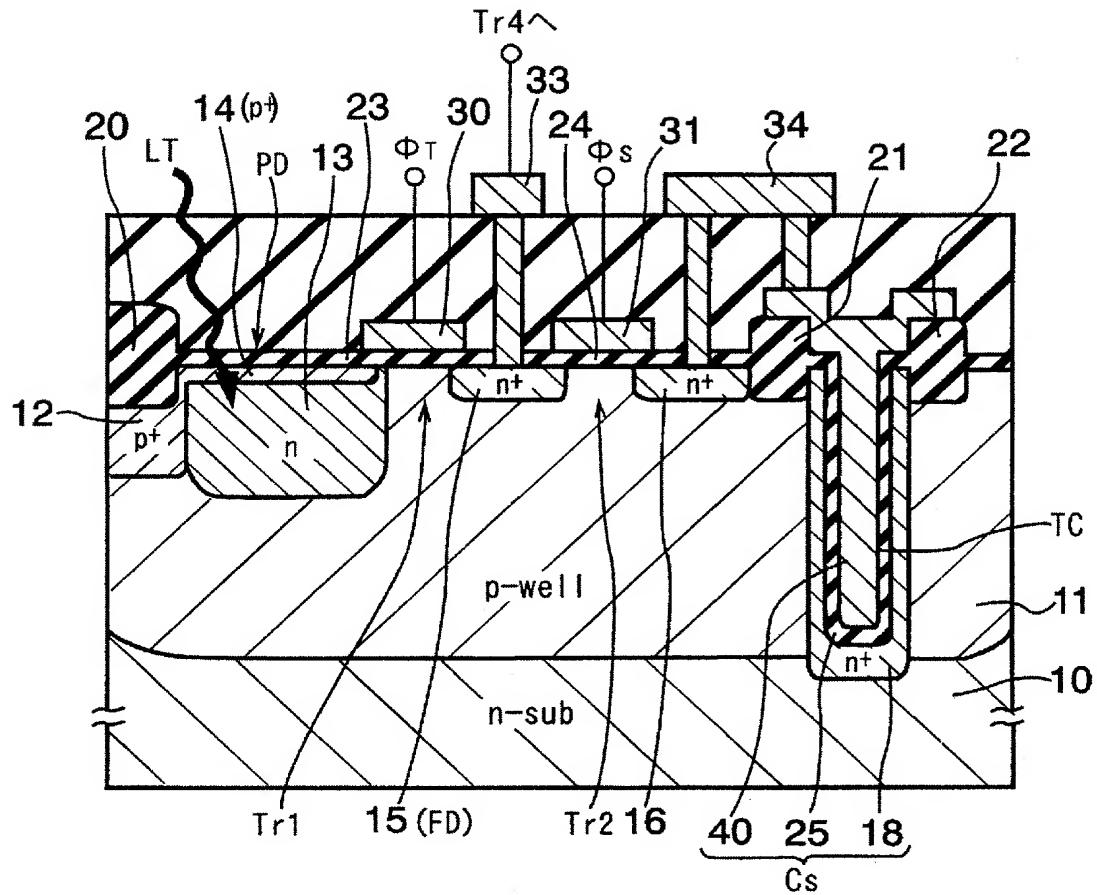
[図23-2]



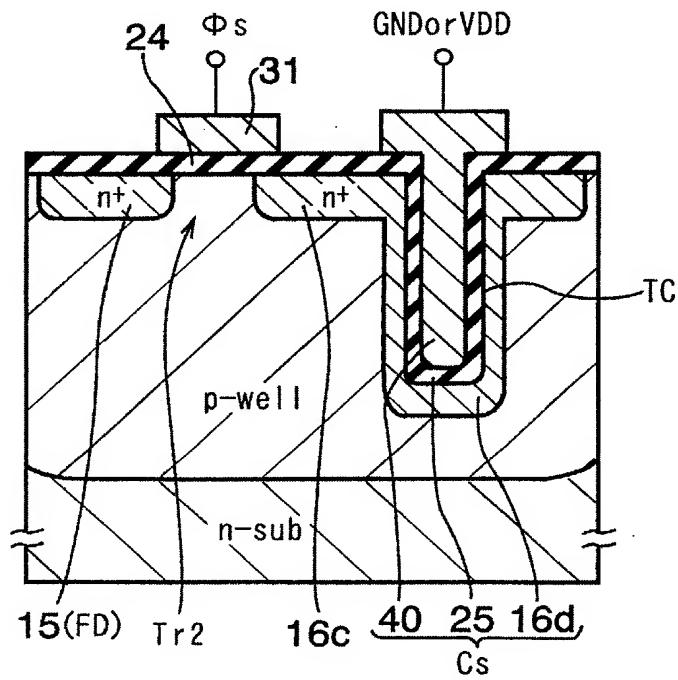
[図24]



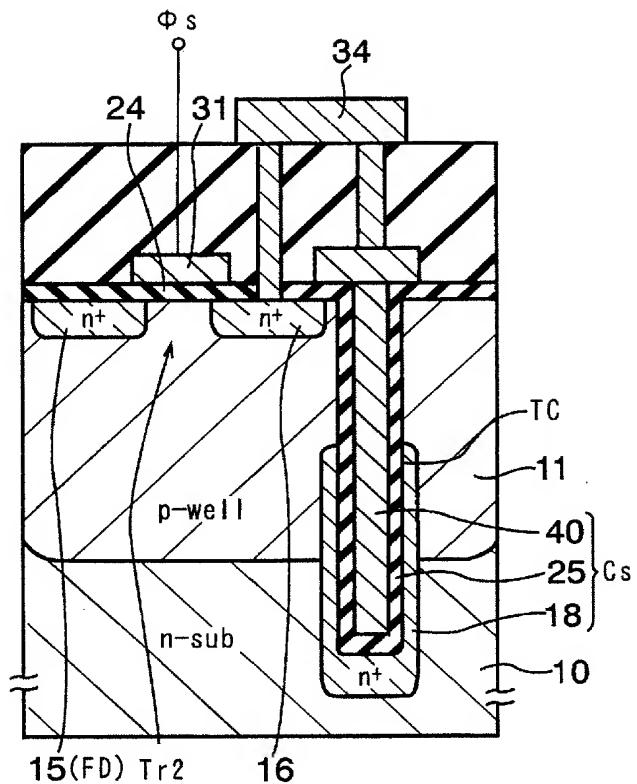
[図25-1]



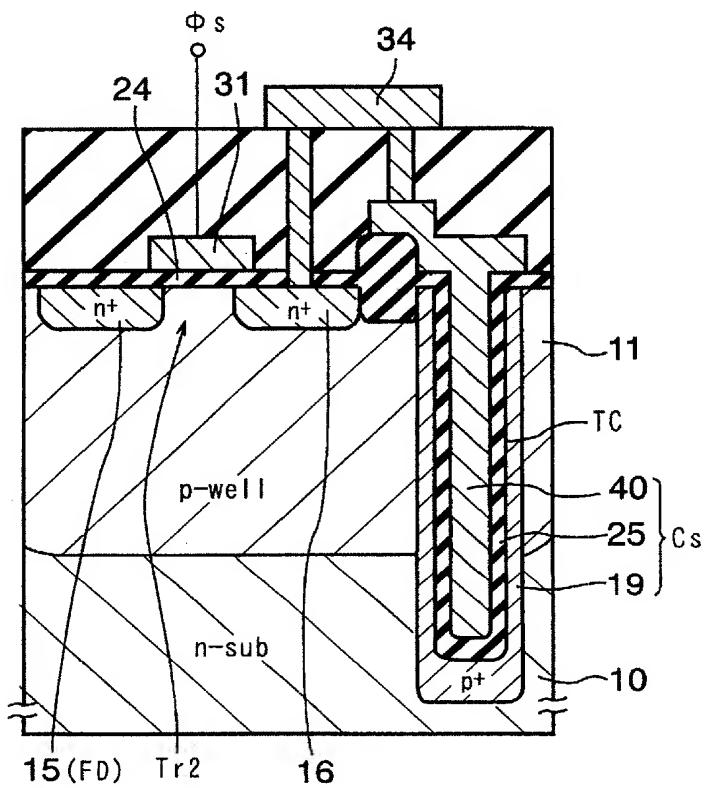
[図25-2]



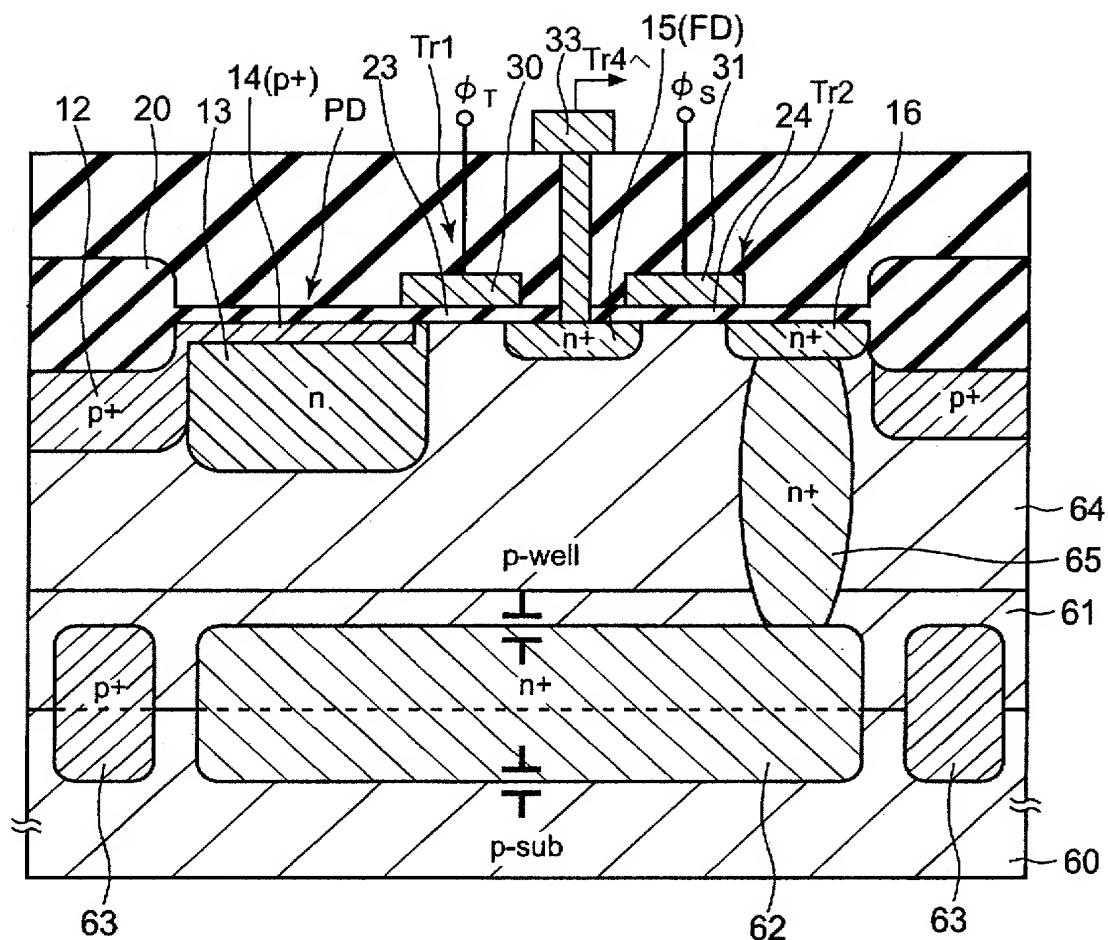
[図26-1]



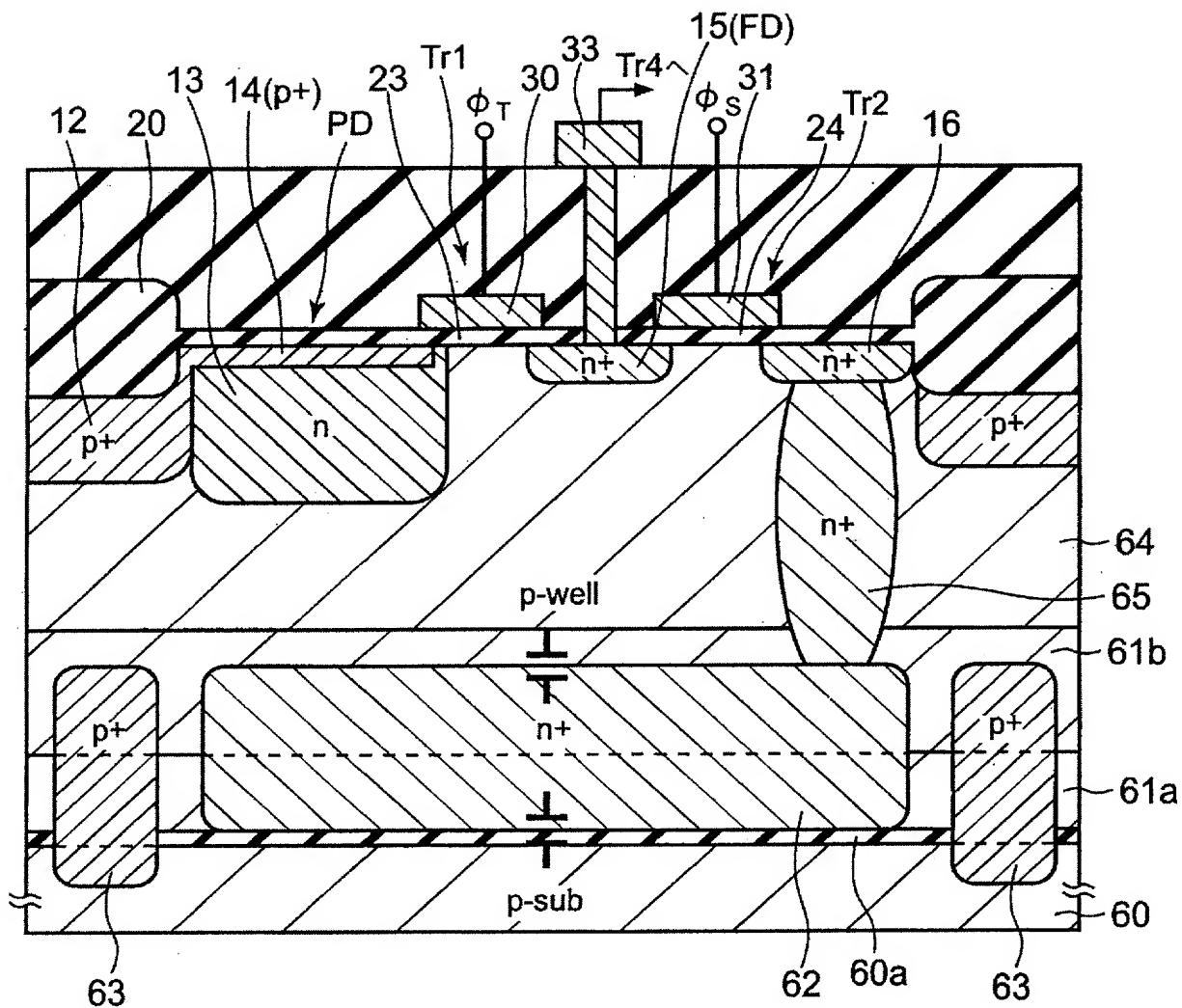
[図26-2]



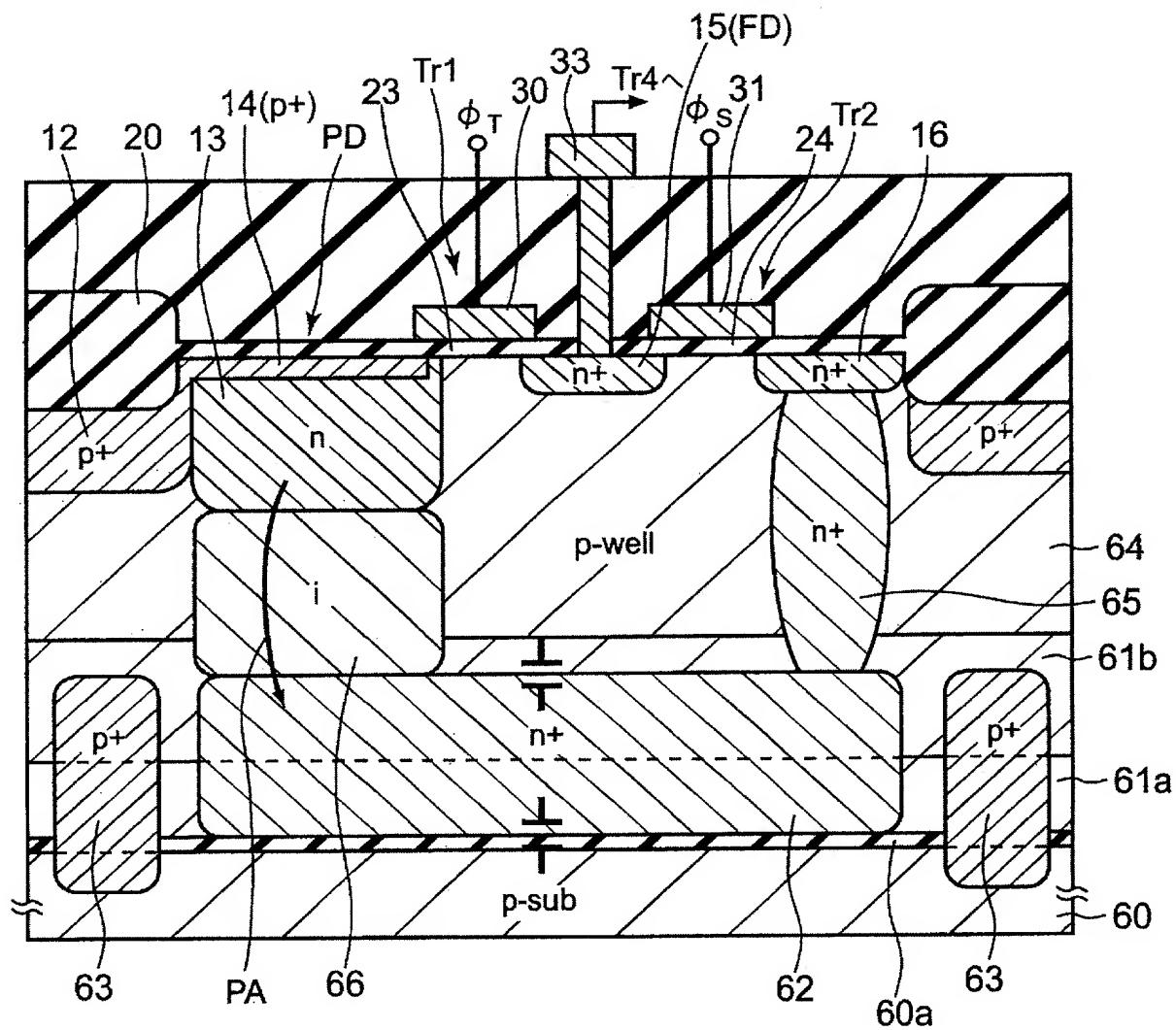
[図27]



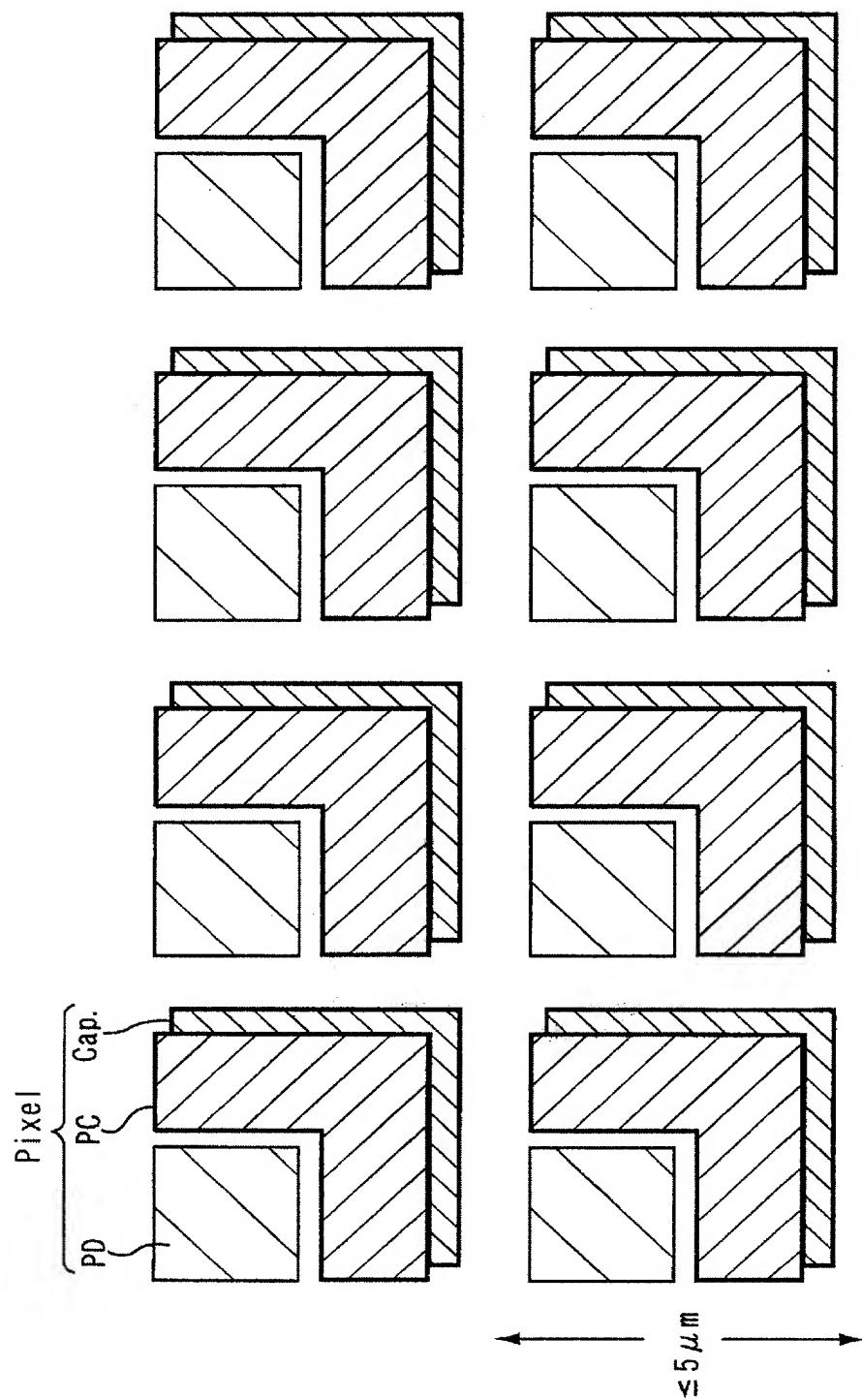
[図28]



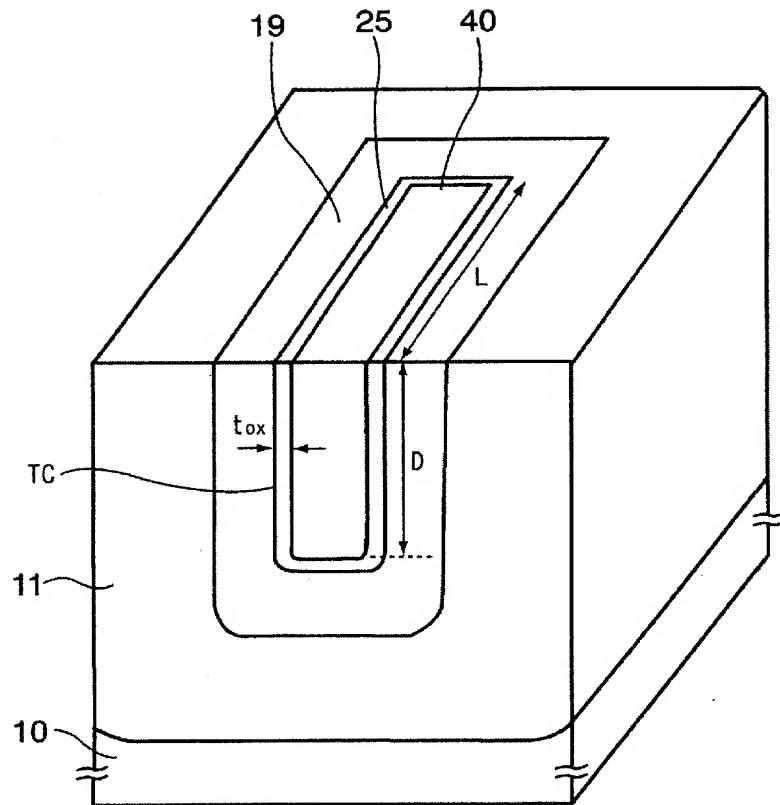
[図29]



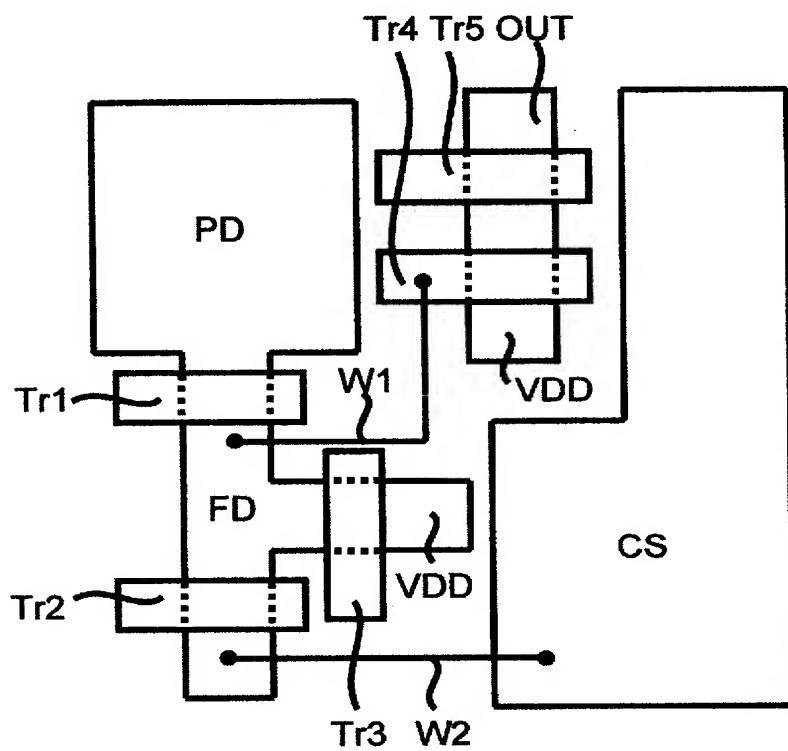
[図30]



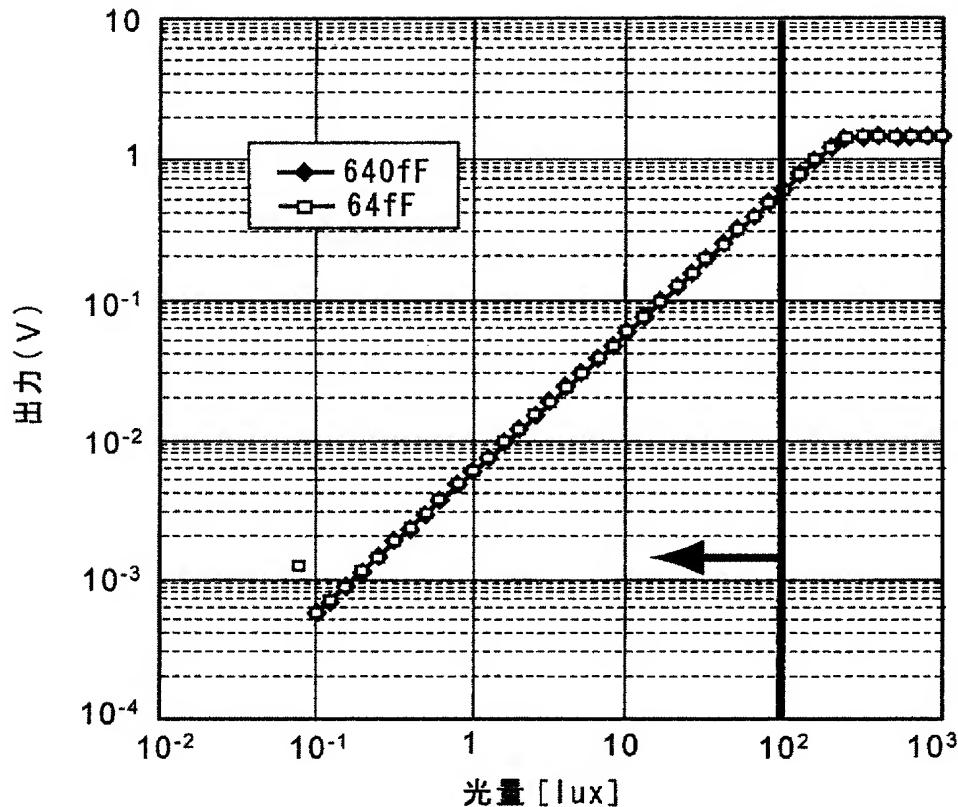
[図31]



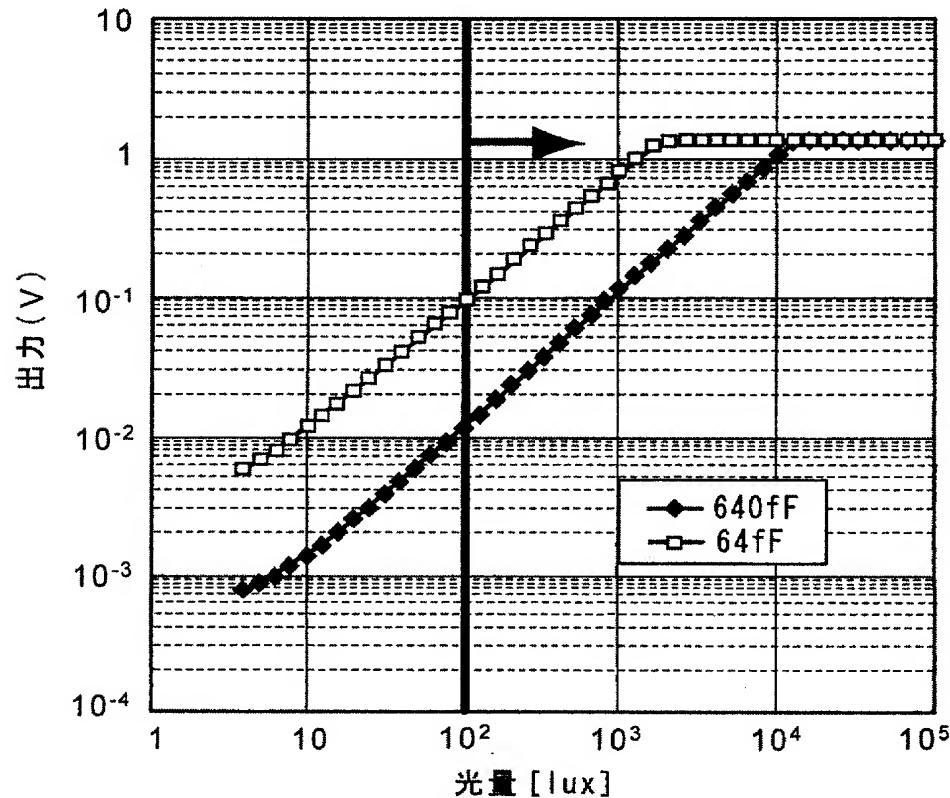
[図32]



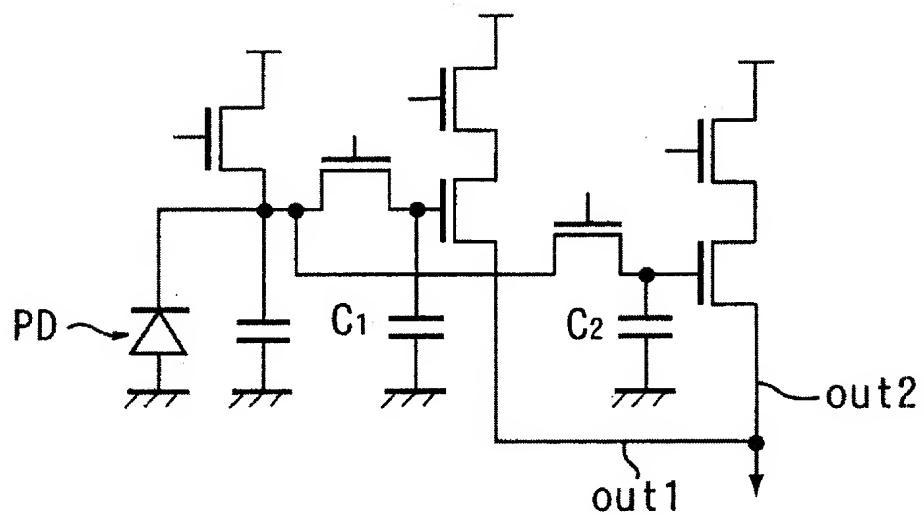
[図33-1]



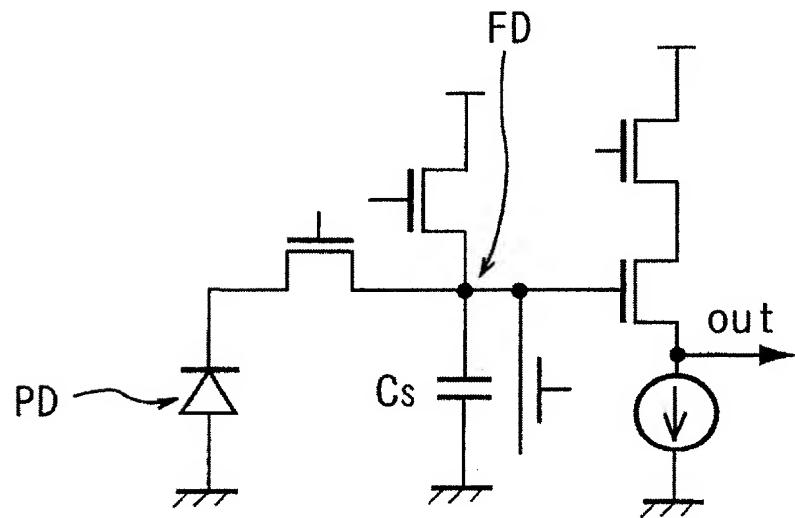
[図33-2]



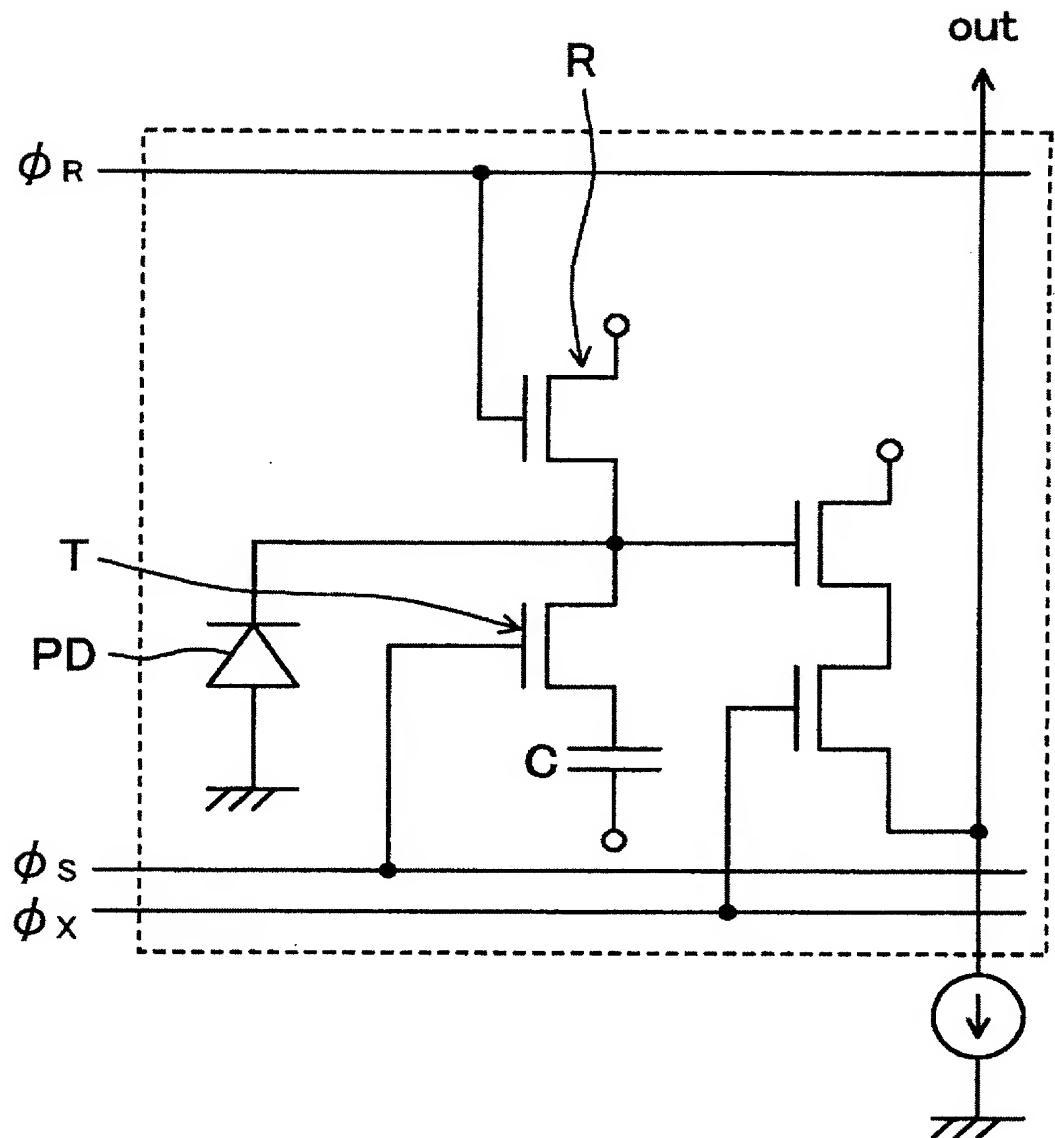
[図34]



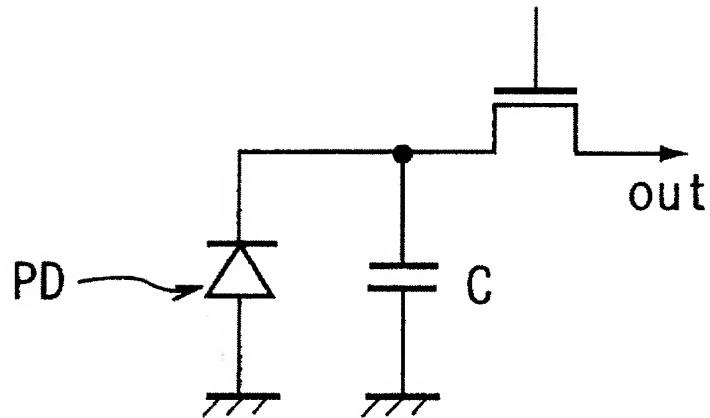
[図35]



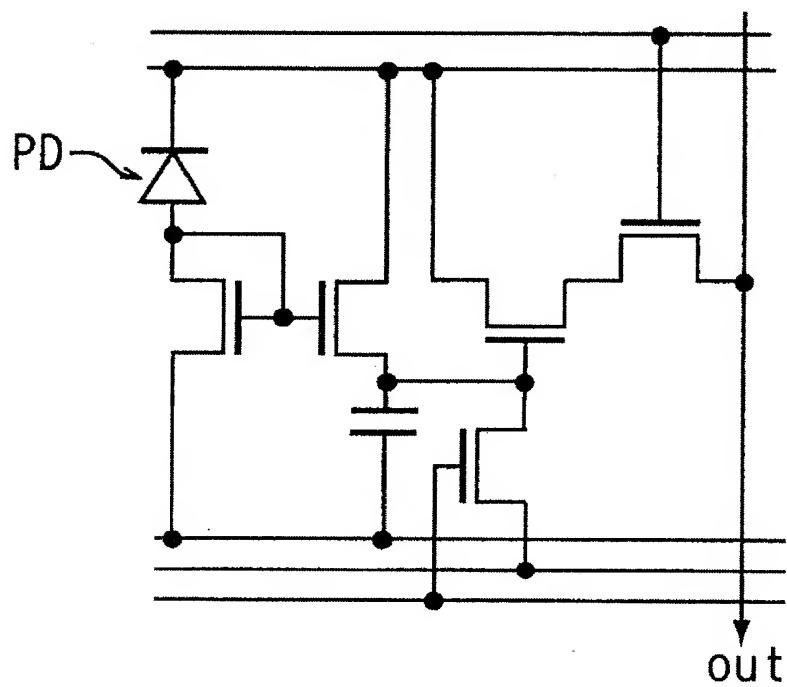
[図36]



[図37]



[図38]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003193

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/146, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-169184 A (Eastman Kodak Co.) , 22 June, 2001 (22.06.01), Full text	1,21,24
Y	& US 6486504 B1 & US 2003/0020100 A1 & EP 1096789 A2	2,3,7-10,14, 15,22,23
A		4-6,11-13, 16-20,25-30
Y	JP 2002-077737 A (NEC Corp.) , 15 March, 2002 (15.03.02), Par. Nos. [0018] to [0038]; Figs. 1, 2 & US 2002/0000508 A1	2,3,22
Y	JP 2003-188367 A (Toshiba Corp.) , 04 July, 2003 (04.07.03), Figs. 5, 6 (Family: none)	7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
19 May, 2005 (19.05.05)Date of mailing of the international search report  
07 June, 2005 (07.06.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003193

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-284166 A (Toshiba Corp.) , 15 October, 1999 (15.10.99) , Figs. 1, 2 & US 6690423 B1 & US 2004/0108502 A1	8
Y	JP 2003-101006 A (Sharp Corp.) , 04 April, 2003 (04.04.03) , Figs. 6, 7 (Family: none)	9,10
Y	JP 2000-165754 A (Canon Inc.) , 16 June, 2000 (16.06.00) , Par. Nos. [0015] to [0027], [0065] (Family: none)	14,15,23

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.<sup>7</sup> H01L27/146, H04N5/335

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.<sup>7</sup> H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-169184 A(イーストマン コダック カンパニー)	1, 21, 24
Y	→2001.06.22, 全文 &US 6486504 B1&US 2003/0020100 A1&EP 1096789 A2	2, 3, 7-10, 14, 15, 22, 23
A		4-6, 11-13, 16 -20, 25-30
Y	JP 2002-077737 A(日本電気株式会社)2002.03.15, 【0018】-【0038】、図1、図2 &US 2002/0000508 A1	2, 3, 22

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日 19.05.2005	国際調査報告の発送日 07.6.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 栗野 正明	4M 9353

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-188367 A(株式会社東芝)2003. 07. 04, 図 5、図 6 (ファミリーなし)	7
Y	JP 11-284166 A(株式会社東芝)1999. 10. 15, 図 1、図 2 &US 6690423 B1&US 2004/0108502 A1	8
Y	JP 2003-101006 A(シャープ株式会社)2003. 04. 04, 図 6、図 7 (ファミリーなし)	9, 10
Y	JP 2000-165754 A(キヤノン株式会社)2000. 06. 16, 【0015】—【0027】、【0065】(ファミリーなし)	14, 15, 23